

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-181566

(43)Date of publication of application : 30.06.2000

(51)Int.Cl.

G06F 1/04  
G06F 1/10  
G06F 15/177

(21)Application number : 10-355025

(71)Applicant : MITSUBISHI ELECTRIC CORP  
MITSUBISHI ELECTRIC ENGINEERING CO  
LTD

(22)Date of filing : 14.12.1998

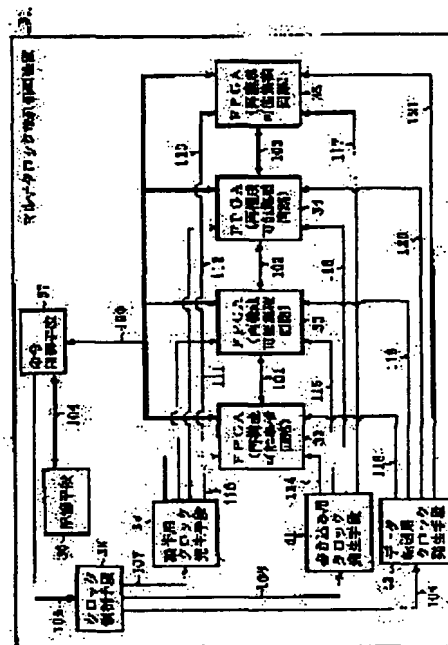
(72)Inventor : ASAMI HIROYOSHI  
SATO HIROYUKI  
IIIDA MASAHIRO  
MORI HAKURO

## (54) MULTICLOCK PARALLEL PROCESSOR

### (57)Abstract:

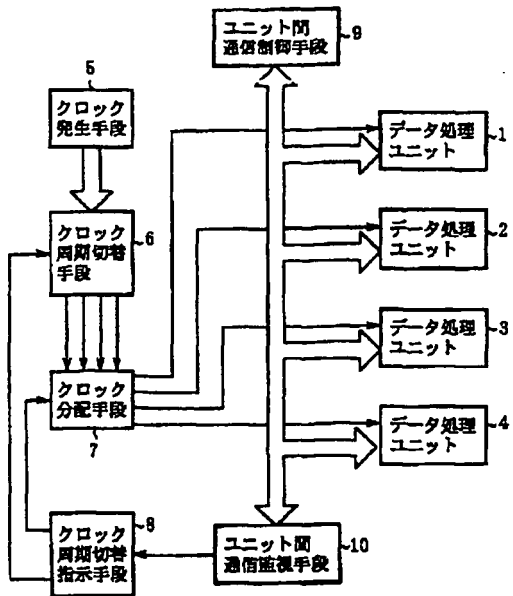
**PROBLEM TO BE SOLVED:** To provide a multiclock parallel processor for reducing the processing time and power consumption by operating respective reconfigurable integrated circuits at the optimum clock frequency corresponding to writable or rewritable circuit configuration information.

**SOLUTION:** This device is provided with a storage means 36 storing the optimum clock frequency for operation corresponding to the circuit configuration information, an instruction control means 37 for extracting the circuit configuration information from the storage means 36 corresponding to the designation from the outside such as user, rewriting designated reconfigurable integrated circuits 32-35 and outputting the optimum clock frequency for operation corresponding to these reconfigurable integrated circuits as a control signal, and clock generating means 39 for operation for changing the rewritten reconfigurable integrated circuits into optimum clock frequency for operation corresponding to that control signal.

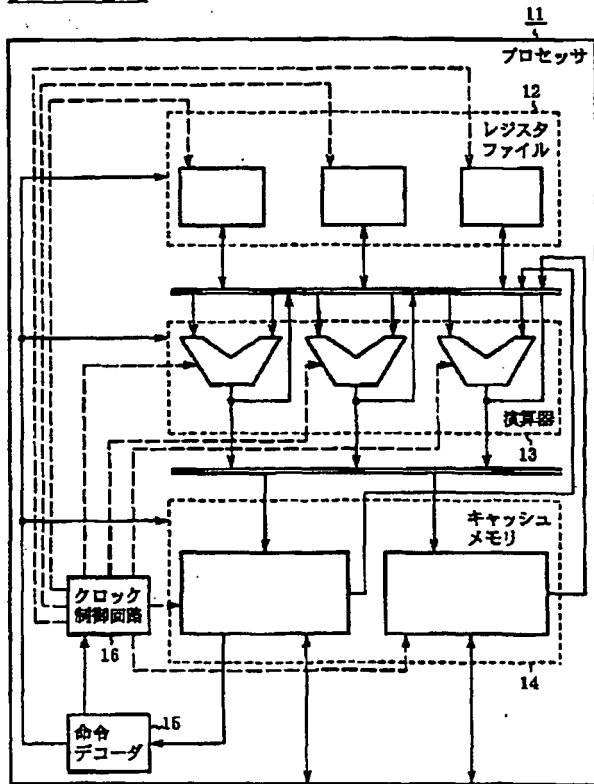


## LEGAL STATUS

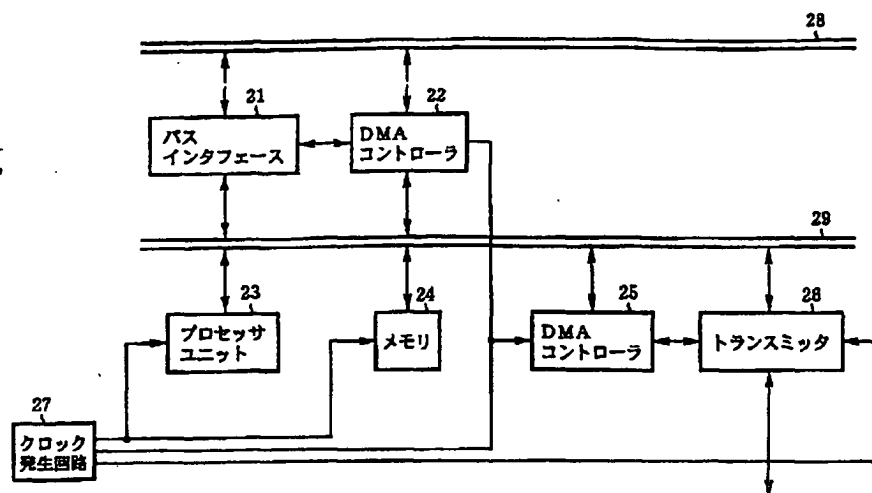
|   |             |
|---|-------------|
| [Date of request for examination]   | 14.02.2001  |
| [Date of sending the examiner's decision of rejection]  |             |
| [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration] | abandonment |
| [Date of final disposal for application]  | 09.05.2003  |
| [Patent number]   |             |
| [Date of registration]  |             |
| [Number of appeal against examiner's decision of rejection]   |             |
| [Date of requesting appeal against examiner's decision of rejection]  |             |



[Drawing 8]



[Drawing 9]



[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The storage means which memorized the optimal clock frequency for actuation corresponding to each of two or more circuitry information, While choosing the circuitry information on either of two or more circuitry information memorized by the above-mentioned storage means and writing in each of two or more integrated circuits which can be reconfigured Extract the optimal clock frequency for actuation corresponding to each of the integrated circuit of these plurality which can be reconfigured from the storage means, and it outputs as a control signal. While rewriting the integrated circuit which extracted the circuitry information on either of two or more circuitry information memorized by the storage means according to the assignment from the outside, and was specified and which can be reconfigured The instruction control means which extracts the optimal clock frequency for actuation corresponding to the integrated circuit which can be reconfigured from the storage means, and is outputted as a control signal, The multi-clock parallel processor equipped with a clock generation means for actuation to change into the clock for actuation of the optimal frequency the integrated circuit after rewriting which can be reconfigured while supplying the clock for actuation of the optimal frequency for each of two or more above-mentioned integrated circuits which can be reconfigured according to the control signal

[Claim 2] The storage means which memorized the optimal clock frequency for actuation corresponding to two or more data and each of data width of face, While writing the data of either of two or more data memorized by the above-mentioned storage means according to the assignment from the outside in the integrated circuit which was extracted and specified and which can be reconfigured The instruction control means which extracts the optimal clock frequency for actuation corresponding to the data width of face of the data from the storage means, and is outputted as a control signal, The multi-clock parallel processor according to claim 1 characterized by having a clock generation means for actuation to change into the clock for actuation of the optimal frequency the integrated circuit after writing which can be reconfigured, according to the control signal.

[Claim 3] The multi-clock parallel processor according to claim 1 or 2 characterized by having the instruction control means which outputs the identifier of the integrated circuit which writes in or rewrites circuitry information, and which can be reconfigured as a control signal, and a clock generation means for writing to supply the clock for writing to the integrated circuit which carries out the above-mentioned relevance according to the control signal, and which can be reconfigured.

[Claim 4] A multi-clock parallel processor given [ of claim 1 to the claims 3 characterized by having the instruction control means which outputs the identifier of the integrated circuit of these plurality which can be reconfigured as a control signal when exchanging immediate data while / of plurality / integrated circuit / can be reconfigured, and a clock generation means for data transfer to supply the clock for data transfer to the integrated circuit which carries out the above-mentioned relevance according to the control signal, and which can be reconfigured ] in any 1 term.

---

[Translation done.]

## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the multi-clock parallel processor which carries out parallel processing of two or more integrated circuits which can be reconfigured.

[0002]

[Description of the Prior Art] Integrated circuits which can be reconfigured, such as FPGA (Field Programmable Gate Array) which uses SRAM etc. as a storage element, can be equipped with hardware-logical circuits, such as an AND circuit, a NAND circuit, and a flip-flop circuit, and the memory which memorizes the software-based circuitry information which shows connection of these logical circuits on 1 chip, and can rewrite an internal component circuit any number of times dynamically. Moreover, the optimal clock of operation is decided by circuitry information written in, and the integrated circuit which can be reconfigured does not function as making it operate with a clock quicker than the optimal clock for actuation correctly. Generally, in the parallel processor carrying two or more such integrated circuits that can be reconfigured, since supply of clock is one line, when the circuitry information written in each integrated circuit which can be reconfigured differs, it cannot use the optimal clock frequency for each integrated circuit which can be reconfigured, and cannot be performed at a high speed. Moreover, when a certain integrated circuit which can be reconfigured is performing rewriting of circuitry information, and exchange of data, other integrated circuits which can be reconfigured cannot use the optimal clock frequency. Although it is not the integrated circuit which can be reconfigured as shown below, the equipment which carries out parallel processing of two or more integrated circuits with two or more clocks for actuation with which frequencies differ is invented.

[0003] Drawing 7 is the block diagram showing the conventional multi-clock parallel processor shown in JP,2-308356,A, and is set to drawing. A clock generation means by which 1-4 generate a data processing unit, the clock for data processing which has the period from which 5 differs mutually, and the clock for memory access, A clock period change means to supply the clock for data processing and the clock for memory access by which 6 is generated from the clock generation means 5 according to directions of the clock period change directions means 8 to each data processing units 1-4 through the clock distribution means 7, and 9 The communications control means between units, 10 is a communications-executive means between units to output a control signal to the clock period change directions means 8 according to whether memory access is performed between data processing units 1-4.

[0004] Next, actuation is explained. The communications-executive means 10 between units outputs the control signal which supplies the clock for data processing to each data processing units 1-4 to the clock period change directions means 8, when it is supervising whether memory access is performed between data processing units 1-4 and memory access is not performed. The clock period change means 6 and the clock distribution means 7 supply the clock for data processing generated from the clock generation means 5 to each data processing units 1-4 according to directions of the clock period change directions means 8. Moreover, in the communications-executive means 10 between units, when memory access was performed between a data processing unit 1 and 3 and it is supervised, the control signal which supplies the clock for memory access to data processing units 1 and 3 is outputted to the clock period change directions means 8, and the control signal which supplies the clock for data processing to data processing units 2 and 4 is outputted to the clock period change directions means 8. The clock period change means 6 and the clock distribution means 7 supply the clock for memory access generated from the clock generation means 5 to data processing units 1 and 3 according to directions of the clock period change directions means 8, and supply the clock for data processing to data processing units 2 and 4. Thus, the conventional multi-clock parallel processor shown in drawing 7 forms the clock which has two different periods to two or more data processing units 1-4, and supplies the clock for memory access to the data processing unit which performs memory access for the clock for data processing to the data processing

unit which performs instruction execution.

[0005] Drawing 8 is the block diagram showing the conventional multi-clock parallel processor shown in JP,9-22318,A, and is set to drawing. The register file of plurality [ 11 / 12 / a processor and ], the computing element of plurality [ 13 ], When the clock control instruction has been recognized, 14 two or more cache memory and 15. The instruction decoder which outputs the hardware resources 12 for clock modification, i.e., two or more register files, two or more computing elements 13, and two or more cache memory 14 and the clock frequency after modification as a control signal, 16 is a clock control circuit which changes the clock frequency supplied to each hardware resources according to the control signal from the instruction decoder 15.

[0006] Next, actuation is explained. A clock control instruction which is made to fall or suspend the clock of hardware resources unnecessary to activation among two or more hardware resources is supplied to an instruction decoder 15. According to the clock control instruction, an instruction decoder 15 outputs unnecessary hardware resources and the clock frequency after the modification to activation as a control signal and changes the clock frequency supplied to the hardware resources which correspond according to the control signal in the clock control circuit 16. Thus, with an instruction, the multi-clock parallel processor shown in drawing 8 makes activation fall or suspend the clock of unnecessary hardware resources, and supplies the same clock in hardware resources required for activation.

[0007] Drawing 9 is the block diagram showing the conventional multi-clock parallel processor shown in JP,56-132625,A, and, as for the clock generation circuit to which 21 supplies a bus interface and the clock frequency from which in a processor unit and 24 memory differs from 26 in a transmitter and 27 differs [ 22 and 25 / a DMA controller and 23 ], respectively in the processor unit 23 and memory 24, DMA controllers 22 and 25, and transmitter 26, and 28, a system bus and 29 are internal buses in drawing.

[0008] Next, actuation is explained. The clock frequency which changes with clock generation circuits 27, respectively is supplied to two or more integrated circuits 23 with which working speeds differ, i.e., a processor unit, memory 24, DMA controllers 22 and 25, and a transmitter 26. Thus, the multi-clock parallel processor shown in drawing 9 fixes and supplies the optimal clock frequency for every integrated circuit to two or more integrated circuits with which working speeds differ.

[0009]

[Problem(s) to be Solved by the Invention] Although the technical contents shown in drawing 7 - drawing 9 do not relate to the integrated circuit which can be reconfigured since the conventional multi-clock parallel processor is constituted as mentioned above, having considered the case where two or more data processing units 1-4 shown in drawing 7 , two or more hardware resources shown in drawing 8 , and two or more integrated circuits shown in drawing 9 were transposed to the integrated circuit which can be reconfigured, the following technical problems occurred. With the technique of changing the frequency of the clock dynamically supplied by supervising memory access as shown in drawing 7 , since the contents of the circuitry information which is the information inside the integrated circuit which can be reconfigured were not able to be supervised, the technical problem that the optimal clock frequency corresponding to circuitry information could not be supplied to each integrated circuit which can be reconfigured occurred. Moreover, with the technique of changing the clock frequency supplied with an instruction as shown in drawing 8 , even when the circuitry information from which the optimal clock frequency differs with the data width of face treated with each integrated circuit which can be reconfigured was written in, the technical problem that the optimal clock frequency corresponding to the data width of face transmitted could not be automatically supplied to each integrated circuit which can be reconfigured occurred. Furthermore, with the technique which supplies a different clock frequency fixed to each integrated circuit as shown in drawing 9 , since it does not have the clock frequency which synchronized to each integrated circuit, when operating with the clock frequency from which an adjoining integrated circuit differs, direct communication could be carried out only to asynchronous, but the technical problem that effectiveness worsened occurred. Furthermore, with the technique shown in drawing 7 - drawing 9 , since the clock was supplied with one component even when it considers as the integrated circuit which can be reconfigured, when circuitry was designed, the technical problem that it had to design according to the fixed clock occurred. Furthermore, with the technique shown in drawing 7 - drawing 9 , since it consisted of hardware which cannot reconfigure a circuit even if it carries out a configuration change so that a clock may be supplied with two or more components, it needed to design, after taking into consideration and verifying the clock for actuation, when designing each hardware. The design needed to be advanced from these reasons, considering both a circuit and the clock for actuation on the occasion of the design of a circuit, and technical problems, such as becoming constraint of a circuit design, occurred.

[0010] It aims at obtaining the multi-clock parallel processor which reduces the processing time and power consumption by having made this invention in order to solve the above technical problems, writing it in, or operating each integrated circuit which can be reconfigured with the optimal clock frequency according to the

circuitry information rewritten.

[0011]

[Means for Solving the Problem] The multi-clock parallel processor concerning this invention While choosing the storage means which memorized the optimal clock frequency for actuation corresponding to circuitry information, and these circuitry information and writing in two or more integrated circuits which can be reconfigured While rewriting the integrated circuit which outputted the optimal clock frequency for actuation corresponding to two or more integrated circuits which can be reconfigured as a control signal, extracted circuitry information according to the assignment from the outside, and was specified and which can be reconfigured While supplying the clock for actuation of the optimal frequency for two or more integrated circuits which can be reconfigured according to the instruction control means which outputs the optimal clock frequency for actuation corresponding to the integrated circuit which can be reconfigured as a control signal, and its control signal It has a clock generation means for actuation to change into the clock for actuation of the optimal frequency the integrated circuit after rewriting which can be reconfigured.

[0012] The multi-clock parallel processor concerning this invention While writing in the integrated circuit which extracted data and was specified as the storage means which memorized the optimal clock frequency for actuation corresponding to two or more data and data width of face according to the assignment from the outside and which can be reconfigured It has the instruction control means which outputs the optimal clock frequency for actuation corresponding to the data width of face of the data as a control signal, and a clock generation means for actuation to change into the clock for actuation of the optimal frequency the integrated circuit after writing which can be reconfigured according to the control signal.

[0013] The multi-clock parallel processor concerning this invention is equipped with the instruction control means which outputs the identifier of the integrated circuit which writes in or rewrites circuitry information, and which can be reconfigured as a control signal, and a clock generation means for writing to supply the clock for writing to the corresponding integrated circuit which can be reconfigured according to that control signal.

[0014] The multi-clock parallel processor concerning this invention is equipped with the instruction control means which outputs the identifier of two or more integrated circuits which can be reconfigured which exchanges immediate data while [ of plurality / integrated circuit ] can be reconfigured as a control signal, and a clock generation means for data transfer to supply the clock for data transfer to the integrated circuit which corresponds according to that control signal and which can be reconfigured.

[0015]

[Embodiment of the Invention] Hereafter, one gestalt of implementation of this invention is explained.

Gestalt 1. drawing 1 of operation is the block diagram showing the multi-clock parallel processor by the gestalt of implementation of this invention, it is integrated circuits which can be reconfigured, such as FPGA (Field Programmable Gate Array) which 31 uses SRAM of plurality (it is four in illustration) etc. as a multi-clock parallel processor, and 32-35 use as a storage element, in drawing, and the integrated circuits 32-35 which can be reconfigured [ these ] are formed with the integrated circuit of one chip, respectively. The integrated circuits 32-35 which can be reconfigured [ these ] can be equipped with hardware-logical circuits, such as an AND circuit, a NAND circuit, and a flip-flop circuit, and the memory which memorizes the software-based circuitry information which shows connection of these logical circuits on 1 chip, and can rewrite an internal component circuit any number of times dynamically.

[0016] 36 is a storage means by which the table to which two or more circuitry information written in the integrated circuits 32-35 which can be reconfigured, the data calculated with the integrated circuits 32-35 which can be reconfigured [ these ], and the circuitry information on these plurality and the optimal clock frequency for actuation were made to correspond was memorized. While 37 chooses the circuitry information or either of two or more circuitry information memorized by the storage means 36 at the time of starting of this multi-clock parallel processor 31 and writes it in each of the integrated circuits 32-35 which can be reconfigured at it It is the instruction control means which writes the data to calculate in the integrated circuits 32-35 which can be reconfigured, extracts the optimal clock frequency for actuation corresponding to each of the integrated circuits 32-35 which can be reconfigured [ these ] from the table memorized by the storage means 36, and is outputted as a control signal. Moreover, this instruction control means 37 to change the circuitry of the integrated circuit of either of the integrated circuits 32-35 which can be reconfigured which can be reconfigured from the exteriors, such as a user While rewriting the integrated circuit which extracted the circuitry information on either of two or more circuitry information memorized by the storage means 36 according to the assignment from the outside, and was specified and which can be reconfigured The data to calculate are written in the specified integrated circuit which can be reconfigured, the optimal clock frequency for actuation corresponding to the integrated circuit which can be reconfigured is extracted from the table memorized by the storage means 36, and it outputs as a control signal. A clock control means by which

38 controls the switch place of the control signal according to the control signal from the instruction control means 37, and 39 are a clock generation means for actuation to change into the clock for actuation of the optimal frequency the integrated circuit after rewriting which can be reconfigured while supplying the clock for actuation of the optimal frequency for each of the integrated circuits 32-35 which can be reconfigured according to the control signal from the clock control means 38.

[0017] Drawing 2 is the block diagram showing the detail configuration of the clock generation means for actuation, and is set to drawing. Or multiplying is carried out. a basic clock generation means to generate a clock frequency with single 201, and the clock frequency, in which 202-205 were generated from the basic clock generation means 201 — dividing — The frequency of the clock for actuation which is a clock modification means to generate the clock for actuation of two or more kinds of different frequencies, and is generated from these clock modification means 202-205 It is set up according to the control signal inputted through the clock control means 38 from the instruction control means 37.

[0018] Next, actuation is explained. First, at the time of starting of this multi-clock parallel processor 31, the instruction control means 37 extracts the circuitry information initialized [ from ] among two or more circuitry information memorized by the storage means 36 through the data line 104, respectively, and writes it in each of the integrated circuits 32-35 which can be reconfigured through the data line 100. Moreover, the instruction control means 37 extracts the data to calculate from the storage means 36 through the data line 104, respectively, and writes them in the integrated circuits 32-35 which can be reconfigured through the data line 100. The integrated circuits 32-35 with which the circuitry information chosen by initial setting was written in and which can be reconfigured connect the logical circuit inside each [ these ] integrated circuits 32-35 which can be reconfigured according to these circuitry information, and become circuitry which has a function according to these circuitry information, and preparation of the operation of the data is made by holding the data written in coincidence. Furthermore, the instruction control means 37 extracts the optimal clock frequency for actuation according to each circuitry information written in each of the integrated circuits 32-35 which can be reconfigured through the data line 104 from the table memorized by the storage means 36, and outputs the control signal to which the identifier which shows each integrated circuits 32-35 which can be reconfigured, and the identifier which shows the optimal clock frequency for actuation were made to correspond to a signal line 106.

[0019] The clock control means 38 controls the switch place of the control signal according to the control signal from the instruction control means 37. In this case, a switch place is made into the signal-line 107 side to the clock generation means 39 for actuation. The clock generation means 39 for actuation is constituted as shown in drawing 2. Each clock modification means 202-205 input the single clock frequency generated from the basic clock generation means 201 through the clock lines 206-209. Each [ these ] clock modification means 202-205 the control signal inputted through the signal line 107 from the clock control means 38 — responding — a single clock frequency — dividing — or multiplying is carried out, the integrated circuits 32-35 which can be reconfigured are alike, respectively, and the clock for actuation of the optimal frequency is supplied through the clock lines 110-113. Thus, since the clock for actuation of the optimal frequency according to these circuitry information is supplied and the circuitry of each integrated circuits 32-35 which can be reconfigured can calculate data synchronizing with the clock for actuation of the optimal frequency while the circuitry information and data which were initialized by each integrated circuits 32-35 which can be reconfigured at the time of starting of this multi-clock parallel processor 31 are written in, the processing time and power consumption can be reduced.

[0020] Next, the instruction control means 37 extracts the circuitry information according to the assignment from the outside of the circuitry information memorized by the storage means 36 through the data line 104 and rewrites the integrated circuit which was specified through the data line 100 and which can be reconfigured to change the circuitry of the integrated circuit of either of the integrated circuits 32-35 which can be reconfigured which can be reconfigured from the exteriors, such as a user. Moreover, the instruction control means 37 extracts the data to calculate from the storage means 36 through the data line 104, and rewrites the integrated circuit which was specified through the data line 100 and which can be reconfigured. Thus, the circuitry of the specified integrated circuit which can be reconfigured, and data are rewritten. Furthermore, the instruction control means 37 outputs the control signal to which the identifier which extracts the optimal clock frequency for actuation according to the circuitry information which rewrote the specified integrated circuit which can be reconfigured from the table memorized by the storage means 36 through the data line 104, and shows the specified integrated circuit which can be reconfigured, and the identifier which shows the optimal clock frequency for actuation were made to correspond to a signal line 106.

[0021] The clock control means 38 makes a switch place the signal-line 107 side to the clock generation means 39 for actuation according to the control signal from the instruction control means 37. The clock modification



means of either of each clock modification means 202-205 of the clock generation means 39 for actuation supplies the clock for actuation of the optimal frequency for a single clock frequency to dividing or the integrated circuit which was specified by carrying out multiplying and which can be reconfigured through the clock lines 110-113 according to the control signal inputted through the signal line 107 from the clock control means 38. Thus, it also sets to change the circuitry of the integrated circuit of either of the integrated circuits 32-35 which can be reconfigured which can be reconfigured from the exteriors, such as a user. While being rewritten by the circuitry information and data of circuitry with which the integrated circuit by which modification assignment was carried out, and which can be reconfigured was specified Since the clock for actuation of the optimal frequency according to the circuitry information by which modification assignment was carried out is supplied and the circuitry after modification of the integrated circuit which can be reconfigured can calculate data synchronizing with the clock for actuation of the optimal frequency, the processing time and power consumption can be reduced.

[0022] According to the gestalt 1 of this operation, at as mentioned above, the time of starting of this multi-clock parallel processor 31 And it sets to change the circuitry of the integrated circuit of either of the integrate circuits 32-35 which can be reconfigured which can be reconfigured from the exteriors, such as a user. Write in each integrated circuits 32-35 which can be reconfigured, or the clock for actuation of the optimal frequency according to the rewritten circuitry information is supplied. Since the circuitry of each integrated circuits 32-35 which can be reconfigured can calculate data synchronizing with the clock for actuation of the optimal frequency, it can reduce the processing time and power consumption. Moreover, since the frequency of the clock for actuation can be adjusted dynamically and can be supplied to two or more integrated circuits 32-35 which can be reconfigured, in case the design of the circuitry information and data written in the integrated circuit which can be reconfigured is performed, it can design without being restrained by the frequency of the clock for actuation, and a design can be made easy. In addition, although circuitry information and data were written in all the integrated circuits 32-35 that can be reconfigured at the time of starting of the multi-clock parallel processor 31, you may make it write circuitry information and data in the integrated circuit of arbitration which can be reconfigured with the gestalt 1 of this operation according to initial setting. Moreover, when there is no need according to circuitry, it is not necessary to write in data. Furthermore, although the gestalt 1 of this operation explained the processing performed to one integrated circuit which can be reconfigured at the time of modification of the circuitry of the integrated circuit which can be reconfigured, a change of the circuitry of the integrated circuit which can be reconfigured may be made to coincidence to two or more integrated circuits which can be reconfigured.

[0023] Gestalt 2. drawing 3 of operation is the conceptual diagram showing the table to which the data width of face by the gestalt 2 of implementation of this invention and the optimal clock frequency for actuation were made to correspond, and this table is memorized by the storage means 36. In the block diagram showing the multi-clock parallel processor shown in drawing 1 moreover, the instruction control means 37 [ when changing the circuitry of either of the integrated circuits 32-35 which can be reconfigured according to the assignment from the outside, such as a user ] The data width of face of the data rewritten by the specified integrated circuit which can be reconfigured is supervised, and it has the function which extracts the optimal clock frequency for actuation corresponding to the data width of face rewritten from the table memorized by the storage means 36, and is outputted as a control signal. Other configurations are the same as that of the gestalt 1 of operation.

[0024] Next, actuation is explained. The gestalt 2 of this operation supplies the optimal clock frequency according to the data width of face of the data transmitted to the integrated circuit which can be reconfigured to rewrite. Drawing 4 is the block diagram showing a 32-bit adder, and, for a full adder, A [0] - A [31], B [0] - B [31], a 1-bit input, S [0] - S [31] are [ 400-431 / a carry input and CO of the output of 1 bit and CI ] carry outputs respectively in drawing. Each full adders 400-431 will tell it to a high order bit, if addition with two input signals and carry input signals is performed and carry occurs. As shown in the gestalt 1 of operation, to carry out the circuitry of the 32-bit adder as shown in drawing 4 to the integrated circuit which can be reconfigured in initial setting, and rewrite the written-in 32-bit adder to a 16-bit adder after that Although the technique of extracting the circuitry information on a 16-bit adder from the storage means 36, and rewriting the integrated circuit which can be reconfigured using the circuitry information may be used There is also technique as which a 32-bit adder is operated as a 16-bit adder by rewriting the data width of face of data to the data which have data width of face of 16 bits from data width of face of 32 bits, using the circuitry of the 32-bit adder written in the integrated circuit which can be reconfigured as it is. However, by the technique as which a 32-bit adder is operated as a 16-bit adder, in the time of performing a 32-bit input to a 32-bit adder, and the time of performing a 16-bit input, the optimal clocks for actuation will differ and the processing time and power consumption will increase compared with the time of performing a 16-bit input to a 16-bit adder from the difference in data width of face, the delay value from an input to an output, etc.

[0025] The table to which data width of face as beforehand shown in the storage means 36 at drawing 3, and the optimal clock frequency for actuation were made to correspond is made to memorize. Therefore, by the instruction control means 37 When the data width of face of data is supervised and what was data width of face of 32 bits at the beginning is changed into 16 bits, the optimal clock frequency for actuation corresponding to the data width of face of 16 bits is extracted from the table memorized by the storage means 36. The control signal to which the identifier which shows the specified integrated circuit which can be reconfigured, and the identifier which shows the optimal clock frequency for actuation were made to correspond is outputted to a signal line 106. Actuation of the future clock control means 38 and the clock generation means 39 for actuation is the same as that of the gestalt 1 of operation.

[0026] As mentioned above, since the optimal clock frequency for actuation can be supplied to the integrated circuit which can be reconfigured from the data width of face of the data after that modification and the circuitry of that integrated circuit that can be reconfigured can calculate data synchronizing with the clock for actuation of the optimal frequency when according to the gestalt 2 of this operation using the already written-in circuitry as it is in the case of modification of circuitry and changing only data at it, the processing time and power consumption can be reduced. In addition, even if data are changed, when there is no modification in data width of face, it is not necessary to change the optimal clock frequency for actuation.

[0027] In the block diagram showing the multi-clock parallel processor shown in gestalt 3, drawing 1 of operation the instruction control means 37 has the function which outputs the identifier of the integrated circuits 32-35 which can be reconfigured [ these ] as a control signal at the time of the writing to the integrated circuits 32-35 of circuitry information which can be reconfigured, or rewriting. Moreover, 41 is a clock generation means for writing to supply the clock for writing to the corresponding integrated circuit which can be reconfigured according to the control signal. Drawing 5 is the block diagram showing the detail configuration of the clock-generation means for writing by the gestalt 3 of implementation of this invention, and a basic clock-generation means generate a clock frequency with single 501, and 502 are the switch machines which switch according to the control signal into which the clock frequency generated from the basic clock-generation means 501 was inputted through the clock-control means 38 from the instruction control means 37, and supply the clock for writing to the corresponding integrated circuit which can be reconfigured in drawing.

[0028] Next, actuation is explained. The instruction control means 37 is outputted to a signal line 106 by making the identifier of the corresponding integrated circuits 32-35 which can be reconfigured into a control signal at the time of the writing to the integrated circuits 32-35 of circuitry information which can be reconfigured, or rewriting. The clock control means 38 makes a switch place the signal-line 108 side to the clock generation means 41 for writing according to the control signal from the instruction control means 37. The clock generation means 41 for writing is switched according to the control signal into which the clock frequency generated from the basic clock generation means 501 was inputted through the signal line 108 from the clock control means 38, and supplies the clock for writing to the corresponding integrated circuit which can be reconfigured through the clock lines 114-117. Then, it is transmitted to the integrated circuit which corresponds circuitry information from the instruction control means 37 and which can be reconfigured, and thereby, even if other integrated circuits which can be reconfigured are working, the writing of circuitry information is attained at the corresponding integrated circuit which can be reconfigured.

[0029] As mentioned above, according to the gestalt 3 of this operation, the clock for writing can be supplied to each integrated circuits 32-35 which can be reconfigured according to an individual, and even if other integrated circuits which can be reconfigured are working, the writing of circuitry information is made to the integrated circuit which corresponds without barring that actuation and which can be reconfigured.

[0030] In the block diagram showing the multi-clock parallel processor shown in gestalt 4, drawing 1 of operation when exchanging immediate data for the storage means 36 while [ of plurality / integrated circuit ] can be reconfigured, the clock for data transfer of the optimal frequency used while [ integrated circuit ] can be reconfigured [ these ] is memorized. Moreover, in the instruction control means 37, when exchanging immediate data while [ of plurality / integrated circuit ] can be reconfigured, it has the function which outputs the identifier which shows the clock for data transfer of the corresponding optimal frequency which was memorized by the storage means 36 with the identifier of the integrated circuit of these plurality which can be reconfigured as a control signal. 101-103 are the data lines, and with these data lines 101-103, while [ of plurality / integrated circuit ] can be reconfigured, they exchange immediate data. 42 is a clock generation means for data transfer to supply the clock for data transfer of the optimal frequency for the corresponding integrated circuit which can be reconfigured according to the control signal. Drawing 6 is the block diagram showing the detail configuration of the clock generation means for data transfer by the gestalt 4 of implementation of this invention, and is set to drawing. A basic clock generation means to generate a clock frequency with single 601, and 602 the clock frequency generated from the basic clock generation means 601 O

multiplying is carried out, the control signal inputted through the clock control means 38 from the instruction control means 37 — responding — dividing — A clock modification means to generate the clock for data transfer of the optimal frequency, 603 is a switch machine which switches according to the control signal into which the optimal clock for data transfer of a frequency generated by the clock modification means 602 was inputted through the clock control means 38 from the instruction control means 37, and is supplied to the corresponding integrated circuit which can be reconfigured.

[0031] Next, actuation is explained. When performing data transfer through either of the data lines 101–103 while [ integrated circuit ] can be reconfigured [ which adjoins in the integrated circuits 32–35 which can be reconfigured ], the instruction control means 37 is outputted to a signal line 106 with the identifier of the integrated circuit of these plurality which can be reconfigured by making the identifier which shows the clock for data transfer of the corresponding optimal frequency which was memorized by the storage means 36 into a control signal. Here, the optimal clock for data transfer of a frequency memorized by the storage means 36 can be easily set up from the frequency of the clock for actuation supplied to each integrated circuits 32–35 which can be reconfigured. For example, when performing data transfer between the data lines 101 between the integrated circuit 32 which can be reconfigured, and the integrated circuit 33 which can be reconfigured, the frequency of the clock for actuation of the smaller one can be chosen from the frequency of the optimal clock for actuation of each circuitry information written in the integrated circuits 32 and 33 which can be reconfigured [ these ], and it can set up by using the frequency of the clock for actuation of the smaller one as it as the clock for data transfer of the optimal frequency etc. The clock control means 38 makes a switch place the signal-line 109 side to the clock generation means 42 for data transfer according to the control signal from the instruction control means 37. With the clock generation means 42 for data transfer, according to the control signal inputted through the signal line 109 from the clock control means 38, the clock for data transfer by which an adjustment change was made with the clock modification means 602 at the optimal frequency is generated, and with the switch vessel 603, it switches according to the control signal, and the clock for data transfer of the optimal frequency is supplied to the corresponding integrated circuit which can be reconfigured through the clock lines 118–121.

[0032] As mentioned above, according to the gestalt 4 of this operation, the clock for actuation supplied to each integrated circuits 32–35 which can be reconfigured from the clock generation means 39 for actuation is difficult to take a synchronization from the difference in the path to each integrated circuits 32–35 which can be reconfigured, fluctuation of each clock modification means 202–205, etc., even if a frequency is the same. For this reason, data transfer which operates with the clock frequency for actuation of a different frequency by establishing a clock generation means 42 for data transfer to generate the clock for data transfer which was able to take a synchronization which is different in the clock generation means 39 for actuation, and supplying each integrated circuits 32–35 which can be reconfigured and which synchronized also while [ integrated circuit ] was able to be reconfigured can be performed. Moreover, the clock for data transfer of the optimal frequency can be supplied to each integrated circuits 32–35 which can be reconfigured according to an individual, and data transfer between [ which can be reconfigured ] integrated circuits to which other integrated circuits which can be reconfigured correspond, without barring the actuation even if working by the clock for actuation and which synchronized can be performed. In addition, although the gestalt 4 of this operation showed what formed one clock modification means 602 in the clock generation means 42 for data transfer, the clock for data transfer of optimal frequency which establishes two or more clock modification means 602, for example, is mutually different between the integrated circuit 34 which can be reconfigured, and 35 between the integrated circuit 32 which can be reconfigured, and 33 is supplied, and it may be made to carry out data transfer.

[0033]

[Effect of the Invention] As mentioned above, while according to this invention choosing the storage means which memorized the optimal clock frequency for actuation corresponding to circuitry information, and these circuitry information and writing in two or more integrated circuits which can be reconfigured While rewriting the integrated circuit which outputted the optimal clock frequency for actuation corresponding to two or more integrated circuits which can be reconfigured as a control signal, extracted circuitry information according to the assignment from the outside, and was specified and which can be reconfigured While supplying the clock for actuation of the optimal frequency for two or more integrated circuits which can be reconfigured according to the instruction control means which outputs the optimal clock frequency for actuation corresponding to the integrated circuit which can be reconfigured as a control signal, and its control signal Since it constituted so that it might have a clock generation means for actuation to change into the clock for actuation of the optimal frequency the integrated circuit after rewriting which can be reconfigured [ the time of starting of a multi-clock parallel processor, and when you want to change from the exterior the circuitry of the integrated circuit which can be reconfigured ] It writes in each integrated circuit which can be reconfigured, or the clock for

actuation of the optimal frequency according to the rewritten circuitry information is supplied. The circuitry of each integrated circuit which can be reconfigured Since data can be calculated synchronizing with the clock for actuation of the optimal frequency, the processing time and power consumption can be reduced. Moreover, since the frequency of the clock for actuation can be adjusted dynamically and can be supplied to two or more integrated circuits which can be reconfigured, in case circuitry information written in the integrated circuit which can be reconfigured is designed, it can design without being restrained by the clock for actuation, and there is effectiveness which can make a design easy.

[0034] While writing in the integrated circuit which extracted data and was specified as the storage means which memorized the optimal clock frequency for actuation corresponding to two or more data and data width of face according to the assignment from the outside and which can be reconfigured according to this invention The instruction control means which outputs the optimal clock frequency for actuation corresponding to the data width of face of the data as a control signal, Since it constituted so that it might have a clock generation means for actuation to change into the clock for actuation of the optimal frequency the integrated circuit after writing which can be reconfigured, according to the control signal The circuitry already written in on the occasion of modification of circuitry is used as it is. When changing only data, the optimal clock frequency for actuation can be supplied to the integrated circuit which can be reconfigured from the data width of face of the data after the modification. The circuitry of the integrated circuit which can be reconfigured Since data can be calculate synchronizing with the clock for actuation of the optimal frequency, it is effective in the ability to reduce the processing time and power consumption.

[0035] The instruction control means which outputs the identifier of the integrated circuit which can be reconfigured which writes in or rewrites circuitry information according to this invention as a control signal, Since it constituted so that the corresponding integrated circuit which can be reconfigured might be equipped with a clock generation means for writing to supply the clock for writing, according to the control signal The clock for writing can be supplied to each integrated circuit which can be reconfigured according to an individual, and even if other integrated circuits which can be reconfigured are working, there is effectiveness for which the writing of circuitry information is made to the integrated circuit which corresponds without barring the actuation, and which can be reconfigured.

[0036] The instruction control means which outputs the identifier of two or more integrated circuits which can be reconfigured which exchanges immediate data while [ of plurality / integrated circuit ] can be reconfigure as a control signal according to this invention, Since it constituted so that the corresponding integrated circuit which can be reconfigured might be equipped with a clock generation means for data transfer to supply the clock for data transfer, according to the control signal By establishing a clock generation means for data transfer to generate the clock for data transfer which was able to take a different synchronization from the clock generation means for actuation, and supplying each integrated circuit which can be reconfigured Data transfer which operates with the clock frequency for actuation of a different frequency and which synchronized also whi [ integrated circuit ] was able to be reconfigured can be performed. Moreover, the clock for data transfer can be supplied to each integrated circuit which can be reconfigured according to an individual, and there is effectiveness which can perform data transfer with other integrated circuits between [ which can be reconfigured / which corresponds without barring the actuation even if working by the clock for actuation ] integrated circuits which can be reconfigured which synchronized.

---

[Translation done.]

**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

**[Drawing 1]** It is the block diagram showing the multi-clock parallel processor by the gestalt 1 of implementation of this invention.

**[Drawing 2]** It is the block diagram showing the detail configuration of the clock generation means for actuation.

**[Drawing 3]** It is the conceptual diagram showing the table to which the data width of face by the gestalt 2 of implementation of this invention and the optimal clock frequency for actuation were made to correspond.

**[Drawing 4]** It is the block diagram showing a 32-bit adder.

**[Drawing 5]** It is the block diagram showing the detail configuration of the clock generation means for writing by the gestalt 3 of implementation of this invention.

**[Drawing 6]** It is the block diagram showing the detail configuration of the clock generation means for data transfer by the gestalt 4 of implementation of this invention.

**[Drawing 7]** It is the block diagram showing the conventional multi-clock parallel processor.

**[Drawing 8]** It is the block diagram showing the conventional multi-clock parallel processor.

**[Drawing 9]** It is the block diagram showing the conventional multi-clock parallel processor.

**[Description of Notations]**

31 A multi-clock parallel processor, 32-35 The integrated circuit which can be reconfigured, 36 storage means  
37 An instruction control means, 39 The clock generation means for actuation, 41 The clock generation means for writing, 42 Clock generation means for data transfer.

---

[Translation done.]

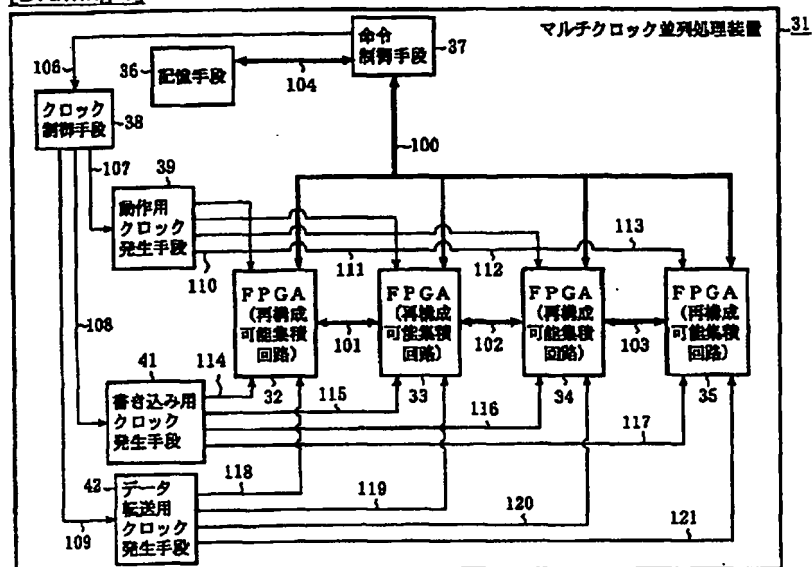
**JPO and INPIT are not responsible for any damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.  
2.\*\*\* shows the word which can not be translated.  
3.In the drawings, any words are not translated.

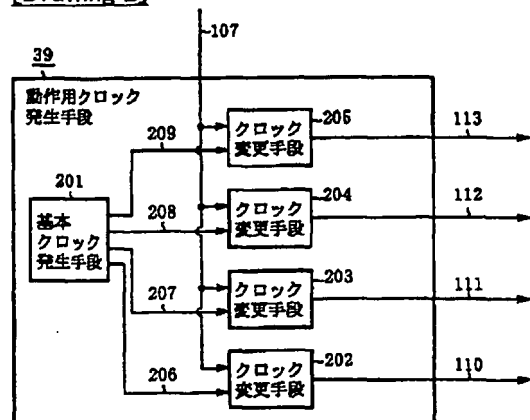
**[Drawing 3]**

| データ幅  | 最大クロック |
|-------|--------|
| 1~16  | 50MHz  |
| 17~32 | 28MHz  |
| ⋮     | ⋮      |

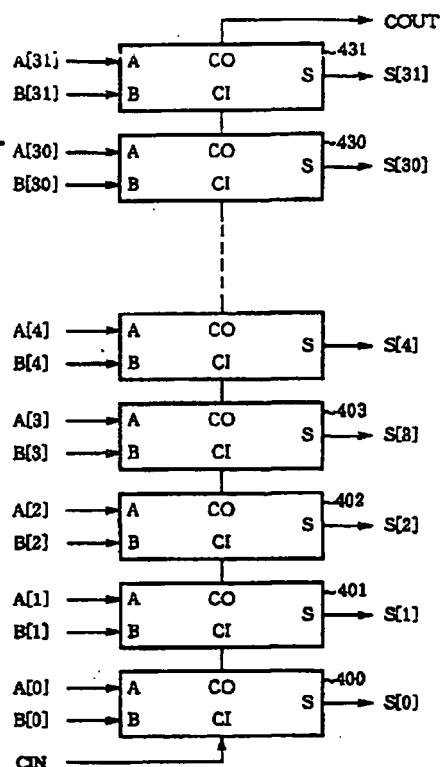
**[Drawing 1]**



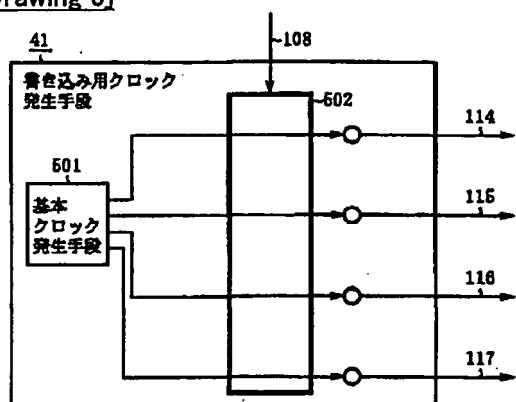
**[Drawing 2]**



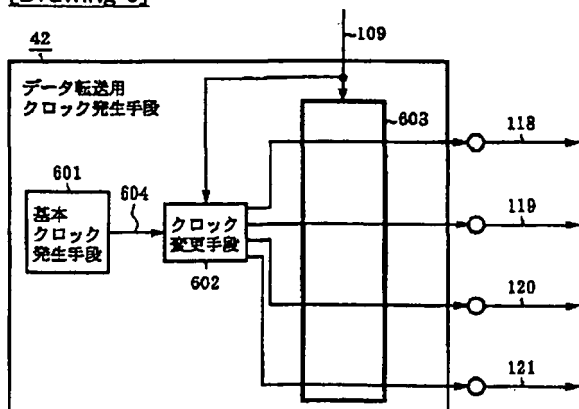
[Drawing 4]



[Drawing 5]



[Drawing 6]



[Drawing 7]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-181566

(P2000-181566A)

(43) 公開日 平成12年6月30日 (2000.6.30)

| (51) Int. Cl. <sup>7</sup> | 識別記号  | F I          | チート* (参考)         |
|----------------------------|-------|--------------|-------------------|
| G 0 6 F 1/04               | 3 0 1 | G 0 6 F 1/04 | 3 0 1 B 5 B 0 4 5 |
| 1/10                       |       | 15/177       | 6 8 0 A 5 B 0 7 9 |
| 15/177                     | 6 8 0 | 1/04         | 3 3 0 Z           |

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21) 出願番号 特願平10-355025

(22) 出願日 平成10年12月14日 (1998. 12. 14)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71) 出願人 591036457

三菱電機エンジニアリング株式会社

東京都千代田区大手町2丁目6番2号

(72) 発明者 浅見 廣愛

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100066474

弁理士 田澤 博昭 (外1名)

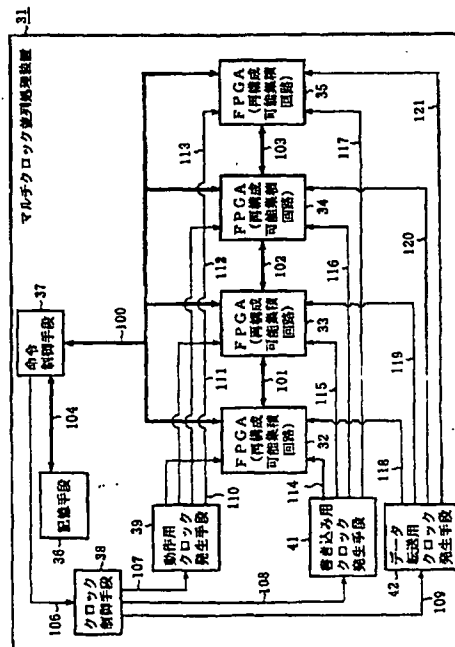
最終頁に続く

(54) 【発明の名称】 マルチクロック並列処理装置

(57) 【要約】

【課題】 回路構成に対応する最適なクロック周波数を各再構成可能集積回路に供給することができない。

【解決手段】 回路構成情報に対応した最適な動作クロック周波数を記憶した記憶手段36と、利用者等の外部からの指定に応じて記憶手段36から回路構成情報を抽出して指定された再構成可能集積回路32～35を書き換えると共に、その再構成可能集積回路に対応する最適な動作クロック周波数を制御信号として出力する命令制御手段37と、その制御信号に応じて、書き換え後の再構成可能集積回路を最適な周波数の動作クロックに変更する動作クロック発生手段39とを備えた。





## 【特許請求の範囲】

【請求項1】 複数の回路構成情報のそれぞれに対応した最適な動作クロック周波数を記憶した記憶手段と、上記記憶手段に記憶された複数の回路構成情報のうちのいずれかの回路構成情報を選択して複数の再構成可能集積回路のそれぞれに書き込むと共に、それら複数の再構成可能集積回路のそれぞれに対応する最適な動作クロック周波数をその記憶手段から抽出して制御信号として出力し、外部からの指定に応じてその記憶手段に記憶された複数の回路構成情報のうちのいずれかの回路構成情報を抽出して指定された再構成可能集積回路を書き換えると共に、その再構成可能集積回路に対応する最適な動作クロック周波数をその記憶手段から抽出して制御信号として出力する命令制御手段と、その制御信号に応じて、上記複数の再構成可能集積回路のそれぞれに最適な周波数の動作クロックを供給すると共に、書き換え後の再構成可能集積回路を最適な周波数の動作クロックに変更する動作クロック発生手段とを備えたマルチクロック並列処理装置。

【請求項2】 複数のデータ、およびデータ幅のそれぞれに対応した最適な動作クロック周波数を記憶した記憶手段と、外部からの指定に応じて上記記憶手段に記憶された複数のデータのうちのいずれかのデータを抽出して指定された再構成可能集積回路に書き込むと共に、そのデータのデータ幅に対応する最適な動作クロック周波数をその記憶手段から抽出して制御信号として出力する命令制御手段と、その制御信号に応じて、書き込み後の再構成可能集積回路を最適な周波数の動作クロックに変更する動作クロック発生手段とを備えたことを特徴とする請求項1記載のマルチクロック並列処理装置。

【請求項3】 回路構成情報を書き込む、または書き換える再構成可能集積回路の識別子を制御信号として出力する命令制御手段と、その制御信号に応じて、上記該当する再構成可能集積回路に書き込み用クロックを供給する書き込み用クロック発生手段とを備えたことを特徴とする請求項1または請求項2記載のマルチクロック並列処理装置。

【請求項4】 複数の再構成可能集積回路間で直接データの交換を行なう場合に、それら複数の再構成可能集積回路の識別子を制御信号として出力する命令制御手段と、その制御信号に応じて、上記該当する再構成可能集積回路にデータ転送用クロックを供給するデータ転送用クロック発生手段とを備えたことを特徴とする請求項1から請求項3のうちのいずれか1項記載のマルチクロック並列処理装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、複数の再構成可能集積回路を並列処理するマルチクロック並列処理装置に関するものである。

## 【0002】

【従来の技術】SRAM等を記憶素子とするFPGA(Field Programmable Gate Array)等の再構成可能集積回路は、1チップ上にアンド回路、ナンド回路、およびフリップフロップ回路等のハードウェア的な論理回路と、それら論理回路の接続を示すソフトウェア的な回路構成情報を記憶するメモリとを備え、内部の構成回路を動的に何度でも書き換えることができるものである。また、再構成可能集積回路は、書き込まれる回路構成情報によって最適な動作クロックが決まり、最適な動作クロックより速いクロックで動作させると正しく機能しない。一般に、このような再構成可能集積回路を複数搭載した並列処理装置において、クロックの供給は1系統であるため、各再構成可能集積回路に書き込まれる回路構成情報が異なる場合は、各々の再構成可能集積回路に最適なクロック周波数を使うことができず、高速に実行することができない。また、ある再構成可能集積回路が回路構成情報の書き換えやデータの交換を行なっている場合は、他の再構成可能集積回路は最適なクロック周波数を使うことができない。以下に示すように、再構成可能集積回路ではないが、複数の集積回路を周波数の異なる複数の動作クロックで並列処理する装置が発明されている。

【0003】図7は例えば特開平2-308356号公報に示された従来のマルチクロック並列処理装置を示す構成図であり、図において、1~4はデータ処理ユニット、5は互いに異なる周期を有する演算処理用クロックおよびメモリアクセス用クロックを発生するクロック発生手段、6はクロック周期切替指示手段8の指示に応じてクロック発生手段5から発生される演算処理用クロックおよびメモリアクセス用クロックをクロック分配手段7を介して各データ処理ユニット1~4に供給するクロック周期切替手段、9はユニット間通信制御手段、10はデータ処理ユニット1~4間においてメモリアクセスが行われるか否かに応じてクロック周期切替指示手段8に制御信号を出力するユニット間通信監視手段である。

【0004】次に動作について説明する。ユニット間通信監視手段10は、データ処理ユニット1~4間においてメモリアクセスが行われるか否かを監視しており、メモリアクセスが行われない場合は、各データ処理ユニット1~4に演算処理用クロックを供給する制御信号をクロック周期切替指示手段8に出力する。クロック周期切替手段6およびクロック分配手段7は、クロック周期切替指示手段8の指示に応じて、クロック発生手段5から発生される演算処理用クロックを各データ処理ユニット1~4に供給する。また、ユニット間通信監視手段10において、データ処理ユニット1、3間においてメモリアクセスが行われると監視された場合は、データ処理ユニット1、3にメモリアクセス用クロックを供給する制御信号をクロック周期切替指示手段8に出力し、データ

3

処理ユニット2、4に演算処理用クロックを供給する制御信号をクロック周期切替指示手段8に出力する。クロック周期切替手段6およびクロック分配手段7は、クロック周期切替指示手段8の指示に応じて、クロック発生手段5から発生されるメモリアクセス用クロックをデータ処理ユニット1、3に供給し、演算処理用クロックをデータ処理ユニット2、4に供給する。このように、図7に示す従来のマルチクロック並列処理装置は、複数のデータ処理ユニット1~4に対して、異なる2つの周期を有するクロックを設け、演算実行を行なうデータ処理ユニットには演算処理用クロックを、メモリアクセスを行なうデータ処理ユニットにはメモリアクセス用クロックを供給するものである。

【0005】図8は例えば特開平9-22318号公報に示された従来のマルチクロック並列処理装置を示す構成図であり、図において、11はプロセッサ、12は複数のレジスタファイル、13は複数の演算器、14は複数のキャッシュメモリ、15はクロック制御命令を認識した時に、クロック変更対象のハードウェア資源、即ち、複数のレジスタファイル12、複数の演算器13、複数のキャッシュメモリ14と変更後のクロック周波数とを制御信号として出力する命令デコーダ、16はその命令デコーダ15からの制御信号に応じて各ハードウェア資源に供給するクロック周波数を変更するクロック制御回路である。

【0006】次に動作について説明する。複数のハードウェア資源のうち、実行に不要なハードウェア資源のクロックを低下もしくは停止させるようなクロック制御命令を命令デコーダ15に供給する。命令デコーダ15は、そのクロック制御命令に応じて、実行に不要なハードウェア資源とその変更後のクロック周波数とを制御信号として出力し、クロック制御回路16では、その制御信号に応じて該当するハードウェア資源に供給するクロック周波数を変更する。このように、図8に示すマルチクロック並列処理装置は、命令によって実行に不要なハードウェア資源のクロックを低下もしくは停止させ、実行に必要なハードウェア資源の中で同一のクロックを供給するものである。

【0007】図9は例えば特開昭56-132625号公報に示された従来のマルチクロック並列処理装置を示す構成図であり、図において、21はバスインタフェース、22、25はDMAコントローラ、23はプロセッサユニット、24はメモリ、26はトランスミッタ、27はプロセッサユニット23およびメモリ24と、DMAコントローラ22、25と、トランスミッタ26とにそれぞれ異なるクロック周波数を供給するクロック発生回路、28はシステムバス、29は内部バスである。

【0008】次に動作について説明する。動作速度の異なる複数の集積回路、即ち、プロセッサユニット23およびメモリ24と、DMAコントローラ22、25と、

4

トランスミッタ26とに対して、クロック発生回路27によりそれぞれ異なるクロック周波数を供給する。このように、図9に示すマルチクロック並列処理装置は動作速度の異なる複数の集積回路に対して、集積回路毎に最適なクロック周波数を固定して供給するものである。

【0009】

【発明が解決しようとする課題】従来のマルチクロック並列処理装置は以上のように構成されているので、図7~図9に示した技術内容は、再構成可能集積回路に関連するものではないが、図7に示した複数のデータ処理ユニット1~4、図8に示した複数のハードウェア資源、図9に示した複数の集積回路を再構成可能集積回路に置き換えた場合を考えると以下のような課題があった。図7に示したような、メモリアクセスを監視することにより動的に供給するクロックの周波数を変更する技術では、再構成可能集積回路の内部の情報である回路構成情報の内容を監視することができないため、回路構成情報に対応する最適なクロック周波数を各再構成可能集積回路に供給することができないという課題があった。また、図8に示したような、命令により供給するクロック周波数を変更する技術では、各再構成可能集積回路で扱われるデータ幅により最適なクロック周波数が異なる回路構成情報が書き込まれている場合でも、転送されるデータ幅に対応した最適なクロック周波数を自動的に各再構成可能集積回路に供給することができないという課題があった。さらに、図9に示したような、各集積回路に対して固定した異なるクロック周波数を供給する技術では、各集積回路に対して同期したクロック周波数を持たないため、隣接する集積回路が異なるクロック周波数で動作している場合、非同期にしか直接通信することができず、効率が悪くなるという課題があった。さらに、図7~図9に示した技術では、再構成可能集積回路とした場合でも、1つの構成要素によりクロックを供給しているため、回路構成の設計を行なう場合には、固定されたクロックに合せて設計を行なわなければならないという課題があった。さらに、図7~図9に示した技術では、複数の構成要素によりクロックを供給するように構成変更したとしても、回路が再構成不可能なハードウェアで構成されているため、個々のハードウェアの設計をする際には動作クロックを考慮および検証した後に設計を行なう必要があった。これらの理由から、回路の設計の際には回路と動作クロックの両方を考えながら設計を進める必要があり、回路設計の制約となるなどの課題があった。

【0010】この発明は上記のような課題を解決するためになされたもので、書き込み、あるいは書き換えられる回路構成情報に応じて各再構成可能集積回路を最適なクロック周波数で動作させることにより、処理時間および消費電力を低減するマルチクロック並列処理装置を得ることを目的とする。

【0011】

【課題を解決するための手段】この発明に係るマルチクロック並列処理装置は、回路構成情報に対応した最適な動作クロック周波数を記憶した記憶手段と、それら回路構成情報を選択して複数の再構成可能集積回路に書き込むと共に、複数の再構成可能集積回路に対応する最適な動作クロック周波数を制御信号として出力し、外部からの指定に応じて回路構成情報を抽出して指定された再構成可能集積回路を書き換えると共に、その再構成可能集積回路に対応する最適な動作クロック周波数を制御信号として出力する命令制御手段と、その制御信号に応じて、複数の再構成可能集積回路に最適な周波数の動作クロックを供給すると共に、書き換え後の再構成可能集積回路を最適な周波数の動作クロックに変更する動作クロック発生手段とを備えたものである。

【0012】この発明に係るマルチクロック並列処理装置は、複数のデータ、およびデータ幅に対応した最適な動作クロック周波数を記憶した記憶手段と、外部からの指定に応じてデータを抽出して指定された再構成可能集積回路に書き込むと共に、そのデータのデータ幅に対応する最適な動作クロック周波数を制御信号として出力する命令制御手段と、その制御信号に応じて、書き込み後の再構成可能集積回路を最適な周波数の動作クロックに変更する動作クロック発生手段とを備えたものである。

【0013】この発明に係るマルチクロック並列処理装置は、回路構成情報を書き込む、または書き換える再構成可能集積回路の識別子を制御信号として出力する命令制御手段と、その制御信号に応じて、該当する再構成可能集積回路に書き込み用クロックを供給する書き込み用クロック発生手段とを備えたものである。

【0014】この発明に係るマルチクロック並列処理装置は、複数の再構成可能集積回路間で直接データの交換を行なう複数の再構成可能集積回路の識別子を制御信号として出力する命令制御手段と、その制御信号に応じて、該当する再構成可能集積回路にデータ転送用クロックを供給するデータ転送用クロック発生手段とを備えたものである。

【0015】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1によるマルチクロック並列処理装置を示す構成図であり、図において、31はマルチクロック並列処理装置、32～35は複数（図示の場合は4つ）のSRAM等を記憶素子とするFPGA(Field Programmable Gate Array)等の再構成可能集積回路であり、これら再構成可能集積回路32～35は、それぞれ1チップの集積回路により形成されたものである。これら再構成可能集積回路32～35は、1チップ上にアン

ド回路、ナンド回路、およびフリップフロップ回路等のハードウェア的な論理回路と、それら論理回路の接続を示すソフトウェア的な回路構成情報を記憶するメモリとを備え、内部の構成回路を動的に何度でも書き換えることができるものである。

【0016】36は再構成可能集積回路32～35に書き込まれる複数の回路構成情報と、それら再構成可能集積回路32～35によって演算されるデータと、それら複数の回路構成情報と最適な動作クロック周波数とを対応させたテーブルとが記憶された記憶手段である。37はこのマルチクロック並列処理装置31の立ち上げ時に、記憶手段36に記憶された複数の回路構成情報のうちのいずれかの回路構成情報を選択して再構成可能集積回路32～35のそれぞれに書き込むと共に、演算されるデータを再構成可能集積回路32～35に書き込み、それら再構成可能集積回路32～35のそれぞれに対応する最適な動作クロック周波数を記憶手段36に記憶されたテーブルから抽出して制御信号として出力する命令制御手段である。また、この命令制御手段37は、利用者等の外部から再構成可能集積回路32～35のうちのいずれかの再構成可能集積回路の回路構成を変更したい時に、その外部からの指定に応じて記憶手段36に記憶された複数の回路構成情報のうちのいずれかの回路構成情報を抽出して指定された再構成可能集積回路を書き換えると共に、演算されるデータをその指定された再構成可能集積回路に書き込み、その再構成可能集積回路に対応する最適な動作クロック周波数をその記憶手段36に記憶されたテーブルから抽出して制御信号として出力するものである。38は命令制御手段37からの制御信号に応じて、その制御信号の切り換え先を制御するクロック制御手段、39はクロック制御手段38からの制御信号に応じて、再構成可能集積回路32～35のそれぞれに最適な周波数の動作クロックを供給すると共に、書き換え後の再構成可能集積回路を最適な周波数の動作クロックに変更する動作クロック発生手段である。

【0017】図2は動作クロック発生手段の詳細構成を示す構成図であり、図において、201は単一のクロック周波数を発生する基本クロック発生手段、202～205は基本クロック発生手段201から発生されたクロック周波数を分周あるいは通倍して、複数種類の異なる周波数の動作クロックを生成するクロック変更手段であり、これらクロック変更手段202～205から生成される動作クロックの周波数は、命令制御手段37からクロック制御手段38を介して入力された制御信号に応じて設定されるものである。

【0018】次に動作について説明する。まず、このマルチクロック並列処理装置31の立ち上げ時に、命令制御手段37は、記憶手段36に記憶された複数の回路構成情報のうちから初期設定された回路構成情報をデータ

線 104 を介してそれぞれ抽出して、データ線 100 を介して再構成可能集積回路 32~35 のそれぞれに書き込む。また、命令制御手段 37 は、演算されるデータを記憶手段 36 からデータ線 104 を介してそれぞれ抽出して、データ線 100 を介して再構成可能集積回路 32~35 に書き込む。初期設定によって選択された回路構成情報が書き込まれた再構成可能集積回路 32~35 は、それら各再構成可能集積回路 32~35 の内部の論理回路をそれら回路構成情報に応じて接続し、それら回路構成情報に応じた機能を有する回路構成になり、同時に書き込まれたデータを保持することによって、そのデータの演算の準備がなされる。さらに、命令制御手段 37 は、再構成可能集積回路 32~35 のそれぞれに書き込んだ各回路構成情報に応じた最適な動作クロック周波数を記憶手段 36 に記憶されたテーブルからデータ線 104 を介して抽出して、各再構成可能集積回路 32~35 を示す識別子とその最適な動作クロック周波数を示す識別子とを対応させた制御信号を信号線 106 に出力する。

【0019】クロック制御手段 38 は、命令制御手段 37 からの制御信号に応じて、その制御信号の切り換え先を制御する。この場合は、切り換え先を動作クロック発生手段 39 への信号線 107 側にする。動作クロック発生手段 39 は、図 2 に示したように構成されており、基本クロック発生手段 201 から発生された単一のクロック周波数をクロック線 206~209 を介して各クロック変更手段 202~205 が入力し、それら各クロック変更手段 202~205 は、クロック制御手段 38 から信号線 107 を介して入力された制御信号に応じて単一のクロック周波数を分周あるいは通倍して、再構成可能集積回路 32~35 のそれぞれにクロック線 110~113 を介して最適な周波数の動作クロックを供給する。このように、このマルチクロック並列処理装置 31 の立ち上げ時には、各再構成可能集積回路 32~35 に初期設定された回路構成情報とデータとが書き込まれると共に、それら回路構成情報に応じた最適な周波数の動作クロックが供給され、各再構成可能集積回路 32~35 の回路構成は、最適な周波数の動作クロックに同期してデータを演算することができるので、処理時間および消費電力を低減することができる。

【0020】次に、利用者等の外部から再構成可能集積回路 32~35 のうちのいずれかの再構成可能集積回路の回路構成を変更したい時に、命令制御手段 37 は、記憶手段 36 に記憶された回路構成情報のうちのその外部からの指定に応じた回路構成情報をデータ線 104 を介して抽出して、データ線 100 を介して指定された再構成可能集積回路を書き換える。また、命令制御手段 37 は、演算されるデータを記憶手段 36 からデータ線 104 を介して抽出して、データ線 100 を介して指定された再構成可能集積回路を書き換える。このようにして、

指定された再構成可能集積回路の回路構成、およびデータが書き換えられる。さらに、命令制御手段 37 は、指定された再構成可能集積回路を書き換えた回路構成情報に応じた最適な動作クロック周波数を記憶手段 36 に記憶されたテーブルからデータ線 104 を介して抽出して、指定された再構成可能集積回路を示す識別子とその最適な動作クロック周波数を示す識別子とを対応させた制御信号を信号線 106 に出力する。

【0021】クロック制御手段 38 は、命令制御手段 37 からの制御信号に応じて、切り換え先を動作クロック発生手段 39 への信号線 107 側にする。動作クロック発生手段 39 の各クロック変更手段 202~205 のうちのいずれかのクロック変更手段は、クロック制御手段 38 から信号線 107 を介して入力された制御信号に応じて単一のクロック周波数を分周あるいは通倍して、指定された再構成可能集積回路にクロック線 110~113 を介して最適な周波数の動作クロックを供給する。このように、利用者等の外部から再構成可能集積回路 32~35 のうちのいずれかの再構成可能集積回路の回路構成を変更したい時においても、回路構成の変更指定された再構成可能集積回路が指定された回路構成情報とデータとに書き換えられると共に、その変更指定された回路構成情報に応じた最適な周波数の動作クロックが供給され、再構成可能集積回路の変更後の回路構成は、最適な周波数の動作クロックに同期してデータを演算することができるので、処理時間および消費電力を低減することができる。

【0022】以上のように、この実施の形態 1 によれば、このマルチクロック並列処理装置 31 の立ち上げ時、および利用者等の外部から再構成可能集積回路 32~35 のうちのいずれかの再構成可能集積回路の回路構成を変更したい時において、各再構成可能集積回路 32~35 に書き込み、あるいは書き換えられた回路構成情報に応じた最適な周波数の動作クロックが供給され、各再構成可能集積回路 32~35 の回路構成は、最適な周波数の動作クロックに同期してデータを演算することができるので、処理時間および消費電力を低減することができる。また、複数の再構成可能集積回路 32~35 に対して動作クロックの周波数を動的に調整して供給することができるので、再構成可能集積回路に書き込む回路構成情報およびデータの設計を行なう際に、動作クロックの周波数に制約されることなく設計を行なうことができ、設計を容易にすることができる。尚、この実施の形態 1 では、マルチクロック並列処理装置 31 の立ち上げ時に、全ての再構成可能集積回路 32~35 に回路構成情報およびデータを書き込んだが、初期設定に応じて任意の再構成可能集積回路に回路構成情報およびデータを書き込むようにしても良い。また、データは回路構成に応じて必要がない場合は、書き込む必要はない。さらに、この実施の形態 1 では、再構成可能集積回

路の回路構成の変更時に、1つの再構成可能集積回路に対して行う処理について説明したが、再構成可能集積回路の回路構成の変更は、同時に2つ以上の再構成可能集積回路に対して行っても良い。

【0023】実施の形態2. 図3はこの発明の実施の形態2によるデータ幅と最適な動作クロック周波数とを対応させたテーブルを示す概念図であり、記憶手段36には、このテーブルが記憶されている。また、図1に示したマルチクロック並列処理装置を示す構成図において、命令制御手段37は、利用者等の外部からの指定に応じて再構成可能集積回路32～35のうちのいずれかの回路構成を変更する時において、その指定された再構成可能集積回路に書き換えられるデータのデータ幅を監視し、その書き換えられるデータ幅に対応する最適な動作クロック周波数を記憶手段36に記憶されたテーブルから抽出して制御信号として出力する機能を有するものである。その他の構成は、実施の形態1と同一である。

【0024】次に動作について説明する。この実施の形態2は、書き換えたい再構成可能集積回路に転送されるデータのデータ幅に応じて最適なクロック周波数を供給するものである。図4は32ビット加算器を示す構成図であり、図において、400～431は全加算器、A[0]～A[31]、B[0]～B[31]は各々1ビットの入力、S[0]～S[31]は1ビットの出力、C1は桁上げ入力、C0は桁上げ出力である。各々の全加算器400～431は2つの入力信号と桁上げ入力信号との加算を行い、桁上げが発生するとそれを上位ビットに伝えるものである。図4に示したような32ビット加算器を初期設定において再構成可能集積回路に回路構成し、その後、その書き込まれた32ビット加算器を16ビット加算器に書き換えたい時に、実施の形態1に示したように、16ビット加算器の回路構成情報を記憶手段36から抽出して、その回路構成情報により再構成可能集積回路を書き換える手法を用いても良いが、再構成可能集積回路に書き込まれた32ビット加算器の回路構成をそのまま用い、データのデータ幅を、32ビットのデータ幅から16ビットのデータ幅を有するデータに書き換えることによって、32ビット加算器を16ビット加算器として機能させる手法もある。しかしながら、32ビット加算器を16ビット加算器として機能させる手法では、32ビット加算器に32ビットの入力を行なった時と、16ビットの入力を行なった時とでは、データ幅や入力から出力までの遅延値等の違いから、最適な動作クロックが異なってしまう、16ビット加算器に16ビットの入力を行なった時に比べて処理時間および消費電力が増大してしまう。

【0025】従って、記憶手段36に予め図3に示したようなデータ幅と最適な動作クロック周波数とを対応させたテーブルを記憶させておき、命令制御手段37に

よって、データのデータ幅を監視し、当初32ビットのデータ幅であったものが16ビットに変更された場合に、その16ビットのデータ幅に対応する最適な動作クロック周波数を記憶手段36に記憶されたテーブルから抽出して、指定された再構成可能集積回路を示す識別子とその最適な動作クロック周波数を示す識別子とを対応させた制御信号を信号線106に出力する。以後のクロック制御手段38および動作クロック発生手段39の動作は、実施の形態1と同一である。

【0026】以上のように、この実施の形態2によれば、回路構成の変更の際に、既に書き込まれた回路構成をそのまま利用しデータのみ変更する場合に、その変更後のデータのデータ幅から最適な動作クロック周波数を再構成可能集積回路に供給することができ、その再構成可能集積回路の回路構成は、最適な周波数の動作クロックに同期してデータを演算することができるので、処理時間および消費電力を低減することができる。尚、データが変更されてもデータ幅に変更がない場合は、最適な動作クロック周波数を変更する必要はない。

【0027】実施の形態3. 図1に示したマルチクロック並列処理装置を示す構成図において、命令制御手段37は、回路構成情報の再構成可能集積回路32～35への書き込み時、あるいは書き換え時に、それら再構成可能集積回路32～35の識別子を制御信号として出力する機能を有するものである。また、41はその制御信号に応じて、該当する再構成可能集積回路に書き込み用クロックを供給する書き込み用クロック発生手段である。図5はこの発明の実施の形態3による書き込み用クロック発生手段の詳細構成を示す構成図であり、図において、501は単一のクロック周波数を発生する基本クロック発生手段、502は基本クロック発生手段501から発生されたクロック周波数を、命令制御手段37からクロック制御手段38を介して入力された制御信号に応じて切り換え、該当する再構成可能集積回路に書き込み用クロックを供給する切り換え器である。

【0028】次に動作について説明する。回路構成情報の再構成可能集積回路32～35への書き込み時、あるいは書き換え時に、命令制御手段37は、該当する再構成可能集積回路32～35の識別子を制御信号として信号線106に出力する。クロック制御手段38は、命令制御手段37からの制御信号に応じて、切り換え先を書き込み用クロック発生手段41への信号線108側にする。書き込み用クロック発生手段41は、基本クロック発生手段501から発生されたクロック周波数を、クロック制御手段38から信号線108を介して入力された制御信号に応じて切り換え、該当する再構成可能集積回路にクロック線114～117を介して書き込み用クロックを供給する。その後、命令制御手段37から回路構成情報を該当する再構成可能集積回路に転送され、これにより、他の再構成可能集積回路が動作中であっても、

該当する再構成可能集積回路に回路構成情報の書き込みが可能となる。

【0029】以上のように、この実施の形態3によれば、各再構成可能集積回路32～35に個別に書き込み用クロックを供給することができ、他の再構成可能集積回路が動作中であっても、その動作を妨げることなく該当する再構成可能集積回路に回路構成情報の書き込みができる。

【0030】実施の形態4。図1に示したマルチクロック並列処理装置を示す構成図において、記憶手段36には、複数の再構成可能集積回路間で直接データの交換を行なう場合に、それら再構成可能集積回路間で用いられる最適な周波数のデータ転送用クロックが記憶されている。また、命令制御手段37には、複数の再構成可能集積回路間で直接データの交換を行なう場合に、それら複数の再構成可能集積回路の識別子と共に、記憶手段36に記憶された該当する最適な周波数のデータ転送用クロックを示す識別子とを制御信号として出力する機能を有するものである。101～103はデータ線であり、これらデータ線101～103によって複数の再構成可能集積回路間で直接データの交換を行なうものである。42はその制御信号に応じて、該当する再構成可能集積回路に最適な周波数のデータ転送用クロックを供給するデータ転送用クロック発生手段である。図6はこの発明の実施の形態4によるデータ転送用クロック発生手段の詳細構成を示す構成図であり、図において、601は単一のクロック周波数を発生する基本クロック発生手段、602は基本クロック発生手段601から発生されたクロック周波数を、命令制御手段37からクロック制御手段38を介して入力された制御信号に応じて分周あるいは逡倍して、最適な周波数のデータ転送用クロックを生成するクロック変更手段、603はクロック変更手段602によって生成された最適な周波数のデータ転送用クロックを、命令制御手段37からクロック制御手段38を介して入力された制御信号に応じて切り換え、該当する再構成可能集積回路に供給する切り換え器である。

【0031】次に動作について説明する。再構成可能集積回路32～35において隣接する再構成可能集積回路間でデータ線101～103のいずれかを介してデータ転送を行なう場合に、命令制御手段37は、それら複数の再構成可能集積回路の識別子と共に、記憶手段36に記憶された該当する最適な周波数のデータ転送用クロックを示す識別子とを制御信号として信号線106に出力する。ここで、記憶手段36に記憶される最適な周波数のデータ転送用クロックは、各再構成可能集積回路32～35に供給される動作クロックの周波数から容易に設定することができる。例えば、再構成可能集積回路32と再構成可能集積回路33との間でデータ線101間でデータ転送を行う場合に、それら再構成可能集積回路32、33に書き込まれた各回路構成情報の最適な動作

用クロックの周波数から小さい方の動作クロックの周波数を選択して、その小さい方の動作クロックの周波数を最適な周波数のデータ転送用クロックとする等により設定することができる。クロック制御手段38は、命令制御手段37からの制御信号に応じて、切り換え先をデータ転送用クロック発生手段42への信号線109側にする。データ転送用クロック発生手段42では、クロック制御手段38から信号線109を介して入力された制御信号に応じて、クロック変更手段602によって最適な周波数に調整変更されたデータ転送用クロックを生成し、また、切り換え器603によって、その制御信号に応じて切り換え、該当する再構成可能集積回路にクロック線118～121を介して最適な周波数のデータ転送用クロックを供給する。

【0032】以上のように、この実施の形態4によれば、動作クロック発生手段39から各再構成可能集積回路32～35に供給される動作クロックは、各再構成可能集積回路32～35への経路の違いや、各クロック変更手段202～205の揺らぎなどから、周波数が同じであっても同期をとることが困難である。このため、動作クロック発生手段39とは異なる同期のとれたデータ転送用クロックを発生するデータ転送用クロック発生手段42を設け、各再構成可能集積回路32～35に供給することにより、異なる周波数の動作クロック周波数で動作する再構成可能集積回路間でも、同期したデータ転送を行なうことができる。また、各再構成可能集積回路32～35に個別に最適な周波数のデータ転送用クロックを供給することができ、他の再構成可能集積回路が動作クロックによって動作中であっても、その動作を妨げることなく、該当する再構成可能集積回路間での同期したデータ転送ができる。尚、この実施の形態4では、データ転送用クロック発生手段42にクロック変更手段602を1つ設けたものを示したが、クロック変更手段602を複数設け、例えば、再構成可能集積回路32、33間と、再構成可能集積回路34、35間とに、互いに異なる最適な周波数のデータ転送用クロックを供給し、データ転送するようにしても良い。

【0033】

【発明の効果】以上のように、この発明によれば、回路構成情報に対応した最適な動作クロック周波数を記憶した記憶手段と、それら回路構成情報を選択して複数の再構成可能集積回路に書き込むと共に、複数の再構成可能集積回路に対応する最適な動作クロック周波数を制御信号として出力し、外部からの指定に応じて回路構成情報を抽出して指定された再構成可能集積回路を書き換えると共に、その再構成可能集積回路に対応する最適な動作クロック周波数を制御信号として出力する命令制御手段と、その制御信号に応じて、複数の再構成可能集積回路に最適な周波数の動作クロックを供給すると共に、書き換え後の再構成可能集積回路を最適な周波数の

動作クロックに変更する動作クロック発生手段とを備えるように構成したので、マルチクロック並列処理装置の立ち上げ時、および外部から再構成可能集積回路の回路構成を変更したい時において、各再構成可能集積回路に書き込み、あるいは書き換えられた回路構成情報に応じた最適な周波数の動作クロックが供給され、各再構成可能集積回路の回路構成は、最適な周波数の動作クロックに同期してデータを演算することができるので、処理時間および消費電力を低減することができる。また、複数の再構成可能集積回路に対して動作クロックの周波数を動的に調整して供給することができるので、再構成可能集積回路に書き込む回路構成情報の設計を行なう際に、動作クロックに制約されることなく設計を行なうことができ、設計を容易にすることができる効果がある。

【0034】この発明によれば、複数のデータ、およびデータ幅に対応した最適な動作クロック周波数を記憶した記憶手段と、外部からの指定に応じてデータを抽出して指定された再構成可能集積回路に書き込むと共に、そのデータのデータ幅に対応する最適な動作クロック周波数を制御信号として出力する命令制御手段と、その制御信号に応じて、書き込み後の再構成可能集積回路を最適な周波数の動作クロックに変更する動作クロック発生手段とを備えるように構成したので、回路構成の変更の際に、既書き込まれた回路構成をそのまま利用し、データのみ変更する場合に、その変更後のデータのデータ幅から最適な動作クロック周波数を再構成可能集積回路に供給することができ、その再構成可能集積回路の回路構成は、最適な周波数の動作クロックに同期してデータを演算することができるので、処理時間および消費電力を低減することができる効果がある。

【0035】この発明によれば、回路構成情報を書き込む、または書き換える再構成可能集積回路の識別子を制御信号として出力する命令制御手段と、その制御信号に応じて、該当する再構成可能集積回路に書き込み用クロックを供給する書き込み用クロック発生手段とを備えるように構成したので、各再構成可能集積回路に個別に書き込み用クロックを供給することができ、他の再構成可能集積回路が動作中であっても、その動作を妨げることなく該当する再構成可能集積回路に回路構成情報の書き込みができる効果がある。

\*

\*【0036】この発明によれば、複数の再構成可能集積回路間で直接データの交換を行なう複数の再構成可能集積回路の識別子を制御信号として出力する命令制御手段と、その制御信号に応じて、該当する再構成可能集積回路にデータ転送用クロックを供給するデータ転送用クロック発生手段とを備えるように構成したので、動作クロック発生手段とは異なる同期のとれたデータ転送用クロックを発生するデータ転送用クロック発生手段を設け、各再構成可能集積回路に供給することにより、異なる周波数の動作クロック周波数で動作する再構成可能集積回路間でも、同期したデータ転送を行なうことができる。また、各再構成可能集積回路に個別にデータ転送用クロックを供給することができ、他の再構成可能集積回路が動作クロックによって動作中であっても、その動作を妨げることなく、該当する再構成可能集積回路間での同期したデータ転送ができる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるマルチクロック並列処理装置を示す構成図である。

20 【図2】 動作クロック発生手段の詳細構成を示す構成図である。

【図3】 この発明の実施の形態2によるデータ幅と最適な動作クロック周波数とを対応させたテーブルを示す概念図である。

【図4】 32ビット加算器を示す構成図である。

【図5】 この発明の実施の形態3による書き込み用クロック発生手段の詳細構成を示す構成図である。

【図6】 この発明の実施の形態4によるデータ転送用クロック発生手段の詳細構成を示す構成図である。

30 【図7】 従来のマルチクロック並列処理装置を示す構成図である。

【図8】 従来のマルチクロック並列処理装置を示す構成図である。

【図9】 従来のマルチクロック並列処理装置を示す構成図である。

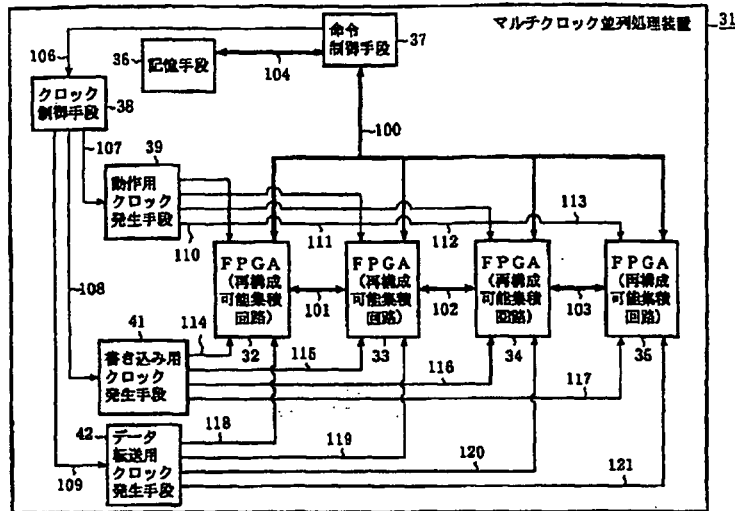
【符号の説明】

31 マルチクロック並列処理装置、32～35 再構成可能集積回路、36記憶手段、37 命令制御手段、39 動作クロック発生手段、41 書き込み用クロック発生手段、42 データ転送用クロック発生手段。

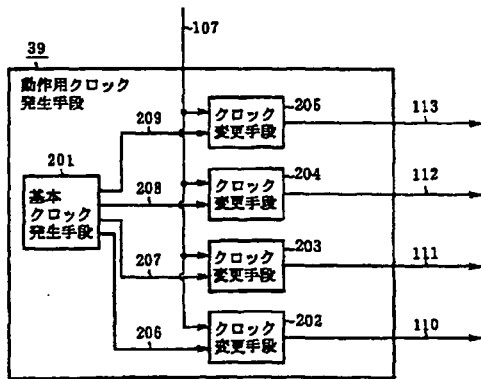
【図3】

| データ幅  | 最適クロック |
|-------|--------|
| 1～16  | 50MHz  |
| 17～32 | 28MHz  |
| ⋮     | ⋮      |

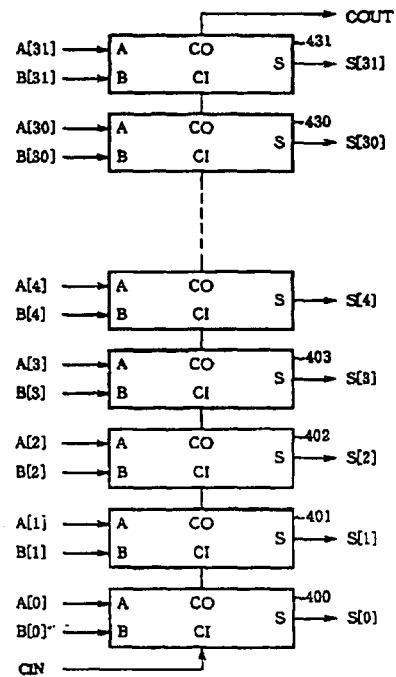
【図1】



【図2】

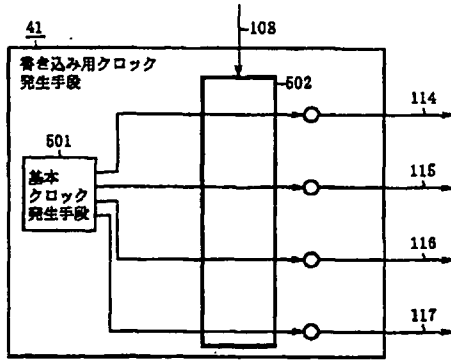


【図4】

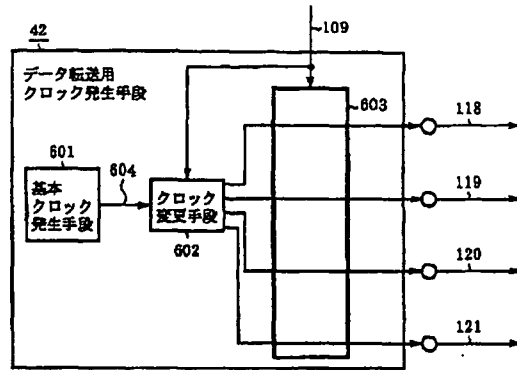




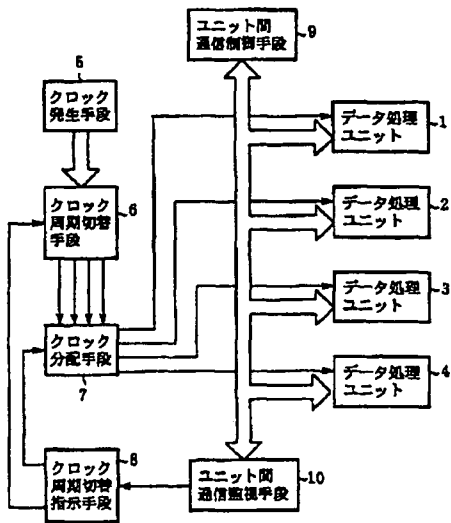
【図5】



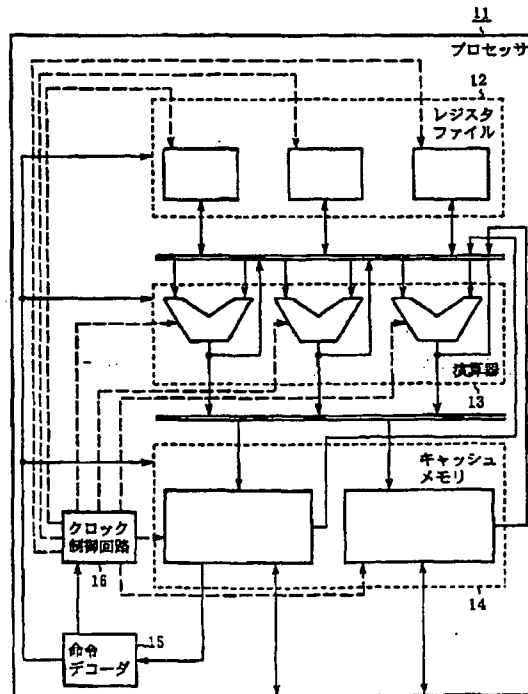
【図6】



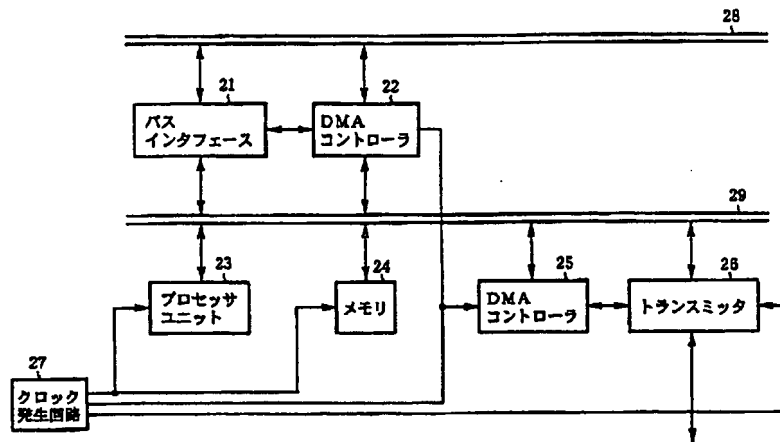
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 佐藤 裕幸  
 東京都千代田区丸の内二丁目2番3号 三  
 菱電機株式会社内  
 (72)発明者 飯田 全広  
 東京都千代田区大手町二丁目6番2号 三  
 菱電機エンジニアリング株式会社内

(72)発明者 森 伯郎  
 東京都千代田区丸の内二丁目2番3号 三  
 菱電機株式会社内  
 Fターム(参考) 5B045 CC04 CC05  
 5B079 BA20 BB02 BC03 CC17 DD02  
 DD13 DD20

2/2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-181566

(P2000-181566A)

(43) 公開日 平成12年6月30日 (2000.6.30)

| (51) Int.Cl. | 識別記号  | F I          | テマコード (参考)        |
|--------------|-------|--------------|-------------------|
| G 0 6 F 1/04 | 3 0 1 | G 0 6 F 1/04 | 3 0 1 B 5 B 0 4 5 |
| 1/10         |       | 15/177       | 6 8 0 A 5 B 0 7 9 |
| 15/177       | 6 8 0 | 1/04         | 3 3 0 Z           |

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21) 出願番号 特願平10-355025

(22) 出願日 平成10年12月14日 (1998.12.14)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71) 出願人 591036457

三菱電機エンジニアリング株式会社

東京都千代田区大手町2丁目6番2号

(72) 発明者 浅見 廣愛

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100066474

弁理士 田澤 博昭 (外1名)

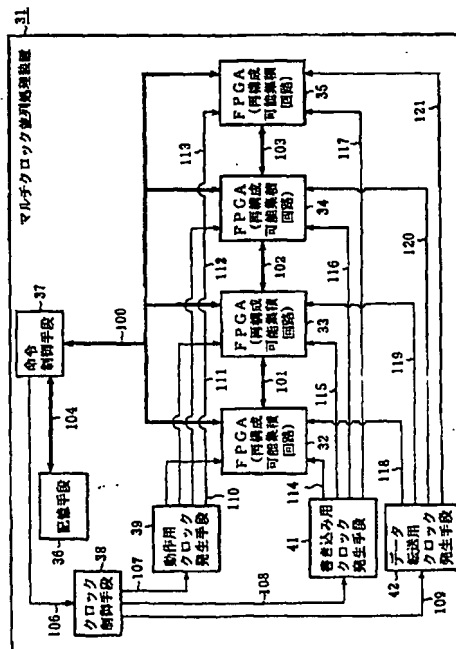
最終頁に続く

(54) 【発明の名称】 マルチクロック並列処理装置

(57) 【要約】

【課題】 回路構成に対応する最適なクロック周波数を各再構成可能集積回路に供給することができない。

【解決手段】 回路構成情報に対応した最適な動作クロック周波数を記憶した記憶手段36と、利用者等の外部からの指定に応じて記憶手段36から回路構成情報を抽出して指定された再構成可能集積回路32～35を書き換えると共に、その再構成可能集積回路に対応する最適な動作クロック周波数を制御信号として出力する命令制御手段37と、その制御信号に応じて、書き換え後の再構成可能集積回路を最適な周波数の動作クロックに変更する動作クロック発生手段39とを備えた。



## 【特許請求の範囲】

【請求項 1】 複数の回路構成情報のそれぞれに対応した最適な動作クロック周波数を記憶した記憶手段と、上記記憶手段に記憶された複数の回路構成情報のうちのいずれかの回路構成情報を選択して複数の再構成可能集積回路のそれぞれに書き込むと共に、それら複数の再構成可能集積回路のそれぞれに対応する最適な動作クロック周波数をその記憶手段から抽出して制御信号として出力し、外部からの指定に応じてその記憶手段に記憶された複数の回路構成情報のうちのいずれかの回路構成情報を抽出して指定された再構成可能集積回路を書き換えると共に、その再構成可能集積回路に対応する最適な動作クロック周波数をその記憶手段から抽出して制御信号として出力する命令制御手段と、その制御信号に応じて、上記複数の再構成可能集積回路のそれぞれに最適な周波数の動作クロックを供給すると共に、書き換え後の再構成可能集積回路を最適な周波数の動作クロックに変更する動作クロック発生手段とを備えたマルチクロック並列処理装置。

【請求項 2】 複数のデータ、およびデータ幅のそれぞれに対応した最適な動作クロック周波数を記憶した記憶手段と、外部からの指定に応じて上記記憶手段に記憶された複数のデータのうちのいずれかのデータを抽出して指定された再構成可能集積回路に書き込むと共に、そのデータのデータ幅に対応する最適な動作クロック周波数をその記憶手段から抽出して制御信号として出力する命令制御手段と、その制御信号に応じて、書き込み後の再構成可能集積回路を最適な周波数の動作クロックに変更する動作クロック発生手段とを備えたことを特徴とする請求項 1 記載のマルチクロック並列処理装置。

【請求項 3】 回路構成情報を書き込む、または書き換える再構成可能集積回路の識別子を制御信号として出力する命令制御手段と、その制御信号に応じて、上記該当する再構成可能集積回路に書き込み用クロックを供給する書き込み用クロック発生手段とを備えたことを特徴とする請求項 1 または請求項 2 記載のマルチクロック並列処理装置。

【請求項 4】 複数の再構成可能集積回路間で直接データの交換を行なう場合に、それら複数の再構成可能集積回路の識別子を制御信号として出力する命令制御手段と、その制御信号に応じて、上記該当する再構成可能集積回路にデータ転送用クロックを供給するデータ転送用クロック発生手段とを備えたことを特徴とする請求項 1 から請求項 3 のうちのいずれか 1 項記載のマルチクロック並列処理装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、複数の再構成可能集積回路を並列処理するマルチクロック並列処理装置に関するものである。

## 【0002】

【従来の技術】SRAM等を記憶素子とするFPGA(Field Programmable Gate Array)等の再構成可能集積回路は、1チップ上にアンド回路、ナンド回路、およびフリップフロップ回路等のハードウェア的な論理回路と、それら論理回路の接続を示すソフトウェア的な回路構成情報を記憶するメモリとを備え、内部の構成回路を動的に何度でも書き換えることができるものである。また、再構成可能集積回路は、書き込まれる回路構成情報によって最適な動作クロックが決まり、最適な動作クロックより速いクロックで動作させると正しく機能しない。一般に、このような再構成可能集積回路を複数搭載した並列処理装置において、クロックの供給は1系統であるため、各再構成可能集積回路に書き込まれる回路構成情報が異なる場合は、各々の再構成可能集積回路に最適なクロック周波数を使うことができず、高速に実行することができない。また、ある再構成可能集積回路が回路構成情報の書き換えやデータの交換を行なっている場合は、他の再構成可能集積回路は最適なクロック周波数を使うことができない。以下に示すように、再構成可能集積回路ではないが、複数の集積回路を周波数の異なる複数の動作クロックで並列処理する装置が発明されている。

【0003】図7は例えば特開平2-308356号公報に示された従来のマルチクロック並列処理装置を示す構成図であり、図において、1〜4はデータ処理ユニット、5は互いに異なる周期を有する演算処理用クロックおよびメモリアクセス用クロックを発生するクロック発生手段、6はクロック周期切替指示手段8の指示に応じてクロック発生手段5から発生される演算処理用クロックおよびメモリアクセス用クロックをクロック分配手段7を介して各データ処理ユニット1〜4に供給するクロック周期切替手段、9はユニット間通信制御手段、10はデータ処理ユニット1〜4間においてメモリアクセスが行われるか否かに応じてクロック周期切替指示手段8に制御信号を出力するユニット間通信監視手段である。

【0004】次に動作について説明する。ユニット間通信監視手段10は、データ処理ユニット1〜4間においてメモリアクセスが行われるか否かを監視しており、メモリアクセスが行われない場合は、各データ処理ユニット1〜4に演算処理用クロックを供給する制御信号をクロック周期切替指示手段8に出力する。クロック周期切替手段6およびクロック分配手段7は、クロック周期切替指示手段8の指示に応じて、クロック発生手段5から発生される演算処理用クロックを各データ処理ユニット1〜4に供給する。また、ユニット間通信監視手段10において、データ処理ユニット1、3間においてメモリアクセスが行われると監視された場合は、データ処理ユニット1、3にメモリアクセス用クロックを供給する制御信号をクロック周期切替指示手段8に出力し、データ

処理ユニット2、4に演算処理用クロックを供給する制御信号をクロック周期切替指示手段8に出力する。クロック周期切替手段6およびクロック分配手段7は、クロック周期切替指示手段8の指示に応じて、クロック発生手段5から発生されるメモリアクセス用クロックをデータ処理ユニット1、3に供給し、演算処理用クロックをデータ処理ユニット2、4に供給する。このように、図7に示す従来のマルチクロック並列処理装置は、複数のデータ処理ユニット1〜4に対して、異なる2つの周期を有するクロックを設け、演算実行を行なうデータ処理ユニットには演算処理用クロックを、メモリアクセスを行なうデータ処理ユニットにはメモリアクセス用クロックを供給するものである。

【0005】図8は例えば特開平9-22318号公報に示された従来のマルチクロック並列処理装置を示す構成図であり、図において、11はプロセッサ、12は複数のレジスタファイル、13は複数の演算器、14は複数のキャッシュメモリ、15はクロック制御命令を認識した時に、クロック変更対象のハードウェア資源、即ち、複数のレジスタファイル12、複数の演算器13、複数のキャッシュメモリ14と変更後のクロック周波数とを制御信号として出力する命令デコーダ、16はその命令デコーダ15からの制御信号に応じて各ハードウェア資源に供給するクロック周波数を変更するクロック制御回路である。

【0006】次に動作について説明する。複数のハードウェア資源のうち、実行に不要なハードウェア資源のクロックを低下もしくは停止させるようなクロック制御命令を命令デコーダ15に供給する。命令デコーダ15は、そのクロック制御命令に応じて、実行に不要なハードウェア資源とその変更後のクロック周波数とを制御信号として出力し、クロック制御回路16では、その制御信号に応じて該当するハードウェア資源に供給するクロック周波数を変更する。このように、図8に示すマルチクロック並列処理装置は、命令によって実行に不要なハードウェア資源のクロックを低下もしくは停止させ、実行に必要なハードウェア資源の中で同一のクロックを供給するものである。

【0007】図9は例えば特開昭56-132625号公報に示された従来のマルチクロック並列処理装置を示す構成図であり、図において、21はバスインタフェース、22、25はDMAコントローラ、23はプロセッサユニット、24はメモリ、26はトランスミッタ、27はプロセッサユニット23およびメモリ24と、DMAコントローラ22、25と、トランスミッタ26とによりそれぞれ異なるクロック周波数を供給するクロック発生回路、28はシステムバス、29は内部バスである。

【0008】次に動作について説明する。動作速度の異なる複数の集積回路、即ち、プロセッサユニット23およびメモリ24と、DMAコントローラ22、25と、

トランスミッタ26とに対して、クロック発生回路27によりそれぞれ異なるクロック周波数を供給する。このように、図9に示すマルチクロック並列処理装置は動作速度の異なる複数の集積回路に対して、集積回路毎に最適なクロック周波数を固定して供給するものである。

【0009】

【発明が解決しようとする課題】従来のマルチクロック並列処理装置は以上のように構成されているので、図7〜図9に示した技術内容は、再構成可能集積回路に関連するものではないが、図7に示した複数のデータ処理ユニット1〜4、図8に示した複数のハードウェア資源、図9に示した複数の集積回路を再構成可能集積回路に置き換えた場合を考えると以下のような課題があった。図7に示したような、メモリアクセスを監視することにより動的に供給するクロックの周波数を変更する技術では、再構成可能集積回路の内部の情報である回路構成情報の内容を監視することができないため、回路構成情報に対応する最適なクロック周波数を各再構成可能集積回路に供給することができないという課題があった。また、図8に示したような、命令により供給するクロック周波数を変更する技術では、各再構成可能集積回路で扱われるデータ幅により最適なクロック周波数が異なる回路構成情報が書き込まれている場合でも、転送されるデータ幅に対応した最適なクロック周波数を自動的に各再構成可能集積回路に供給することができないという課題があった。さらに、図9に示したような、各集積回路に対して固定した異なるクロック周波数を供給する技術では、各集積回路に対して同期したクロック周波数を持たないため、隣接する集積回路が異なるクロック周波数で動作している場合、非同期にしか直接通信することができず、効率が悪くなるという課題があった。さらに、図7〜図9に示した技術では、再構成可能集積回路とした場合でも、1つの構成要素によりクロックを供給しているため、回路構成の設計を行なう場合には、固定されたクロックに合わせて設計を行なわなければならないという課題があった。さらに、図7〜図9に示した技術では、複数の構成要素によりクロックを供給するように構成変更したとしても、回路が再構成不可能なハードウェアで構成されているため、個々のハードウェアの設計をする際には動作用クロックを考慮および検証した後に設計を行なう必要があった。これらの理由から、回路の設計の際には回路と動作用クロックの両方を考えながら設計を進める必要があり、回路設計の制約となるなどの課題があった。

【0010】この発明は上記のような課題を解決するためになされたもので、書き込み、あるいは書き換えられる回路構成情報に応じて各再構成可能集積回路を最適なクロック周波数で動作させることにより、処理時間および消費電力を低減するマルチクロック並列処理装置を得ることを目的とする。

【0011】

【課題を解決するための手段】この発明に係るマルチクロック並列処理装置は、回路構成情報に対応した最適な動作クロック周波数を記憶した記憶手段と、それら回路構成情報を選択して複数の再構成可能集積回路に書き込むと共に、複数の再構成可能集積回路に対応する最適な動作クロック周波数を制御信号として出力し、外部からの指定に応じて回路構成情報を抽出して指定された再構成可能集積回路を書き換えると共に、その再構成可能集積回路に対応する最適な動作クロック周波数を制御信号として出力する命令制御手段と、その制御信号に応じて、複数の再構成可能集積回路に最適な周波数の動作クロックを供給すると共に、書き換え後の再構成可能集積回路を最適な周波数の動作クロックに変更する動作クロック発生手段とを備えたものである。

【0012】この発明に係るマルチクロック並列処理装置は、複数のデータ、およびデータ幅に対応した最適な動作クロック周波数を記憶した記憶手段と、外部からの指定に応じてデータを抽出して指定された再構成可能集積回路に書き込むと共に、そのデータのデータ幅に対応する最適な動作クロック周波数を制御信号として出力する命令制御手段と、その制御信号に応じて、書き込み後の再構成可能集積回路を最適な周波数の動作クロックに変更する動作クロック発生手段とを備えたものである。

【0013】この発明に係るマルチクロック並列処理装置は、回路構成情報を書き込む、または書き換える再構成可能集積回路の識別子を制御信号として出力する命令制御手段と、その制御信号に応じて、該当する再構成可能集積回路に書き込み用クロックを供給する書き込み用クロック発生手段とを備えたものである。

【0014】この発明に係るマルチクロック並列処理装置は、複数の再構成可能集積回路間で直接データの交換を行なう複数の再構成可能集積回路の識別子を制御信号として出力する命令制御手段と、その制御信号に応じて、該当する再構成可能集積回路にデータ転送用クロックを供給するデータ転送用クロック発生手段とを備えたものである。

【0015】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1によるマルチクロック並列処理装置を示す構成図であり、図において、31はマルチクロック並列処理装置、32～35は複数（図示の場合は4つ）のSRAM等を記憶素子とするFPGA(Field Programmable Gate Array)等の再構成可能集積回路であり、これら再構成可能集積回路32～35は、それぞれ1チップの集積回路により形成されたものである。これら再構成可能集積回路32～35は、1チップ上にアン

ド回路、ナンド回路、およびフリップフロップ回路等のハードウェア的な論理回路と、それら論理回路の接続を示すソフトウェア的な回路構成情報を記憶するメモリとを備え、内部の構成回路を動的に何度でも書き換えることができるものである。

【0016】36は再構成可能集積回路32～35に書き込まれる複数の回路構成情報と、それら再構成可能集積回路32～35によって演算されるデータと、それら複数の回路構成情報と最適な動作クロック周波数とを対応させたテーブルとが記憶された記憶手段である。37はこのマルチクロック並列処理装置31の立ち上げ時に、記憶手段36に記憶された複数の回路構成情報のうちのいずれかの回路構成情報を選択して再構成可能集積回路32～35のそれぞれに書き込むと共に、演算されるデータを再構成可能集積回路32～35に書き込み、それら再構成可能集積回路32～35のそれぞれに対応する最適な動作クロック周波数を記憶手段36に記憶されたテーブルから抽出して制御信号として出力する命令制御手段である。また、この命令制御手段37は、利用者等の外部から再構成可能集積回路32～35のうちのいずれかの再構成可能集積回路の回路構成を変更したい時に、その外部からの指定に応じて記憶手段36に記憶された複数の回路構成情報のうちのいずれかの回路構成情報を抽出して指定された再構成可能集積回路を書き換えると共に、演算されるデータをその指定された再構成可能集積回路に書き込み、その再構成可能集積回路に対応する最適な動作クロック周波数をその記憶手段36に記憶されたテーブルから抽出して制御信号として出力するものである。38は命令制御手段37からの制御信号に応じて、その制御信号の切り換え先を制御するクロック制御手段、39はクロック制御手段38からの制御信号に応じて、再構成可能集積回路32～35のそれぞれに最適な周波数の動作クロックを供給すると共に、書き換え後の再構成可能集積回路を最適な周波数の動作クロックに変更する動作クロック発生手段である。

【0017】図2は動作クロック発生手段の詳細構成を示す構成図であり、図において、201は単一のクロック周波数を発生する基本クロック発生手段、202～205は基本クロック発生手段201から発生されたクロック周波数を分周あるいは通倍して、複数種類の異なる周波数の動作クロックを生成するクロック変更手段であり、これらクロック変更手段202～205から生成される動作クロックの周波数は、命令制御手段37からクロック制御手段38を介して入力された制御信号に応じて設定されるものである。

【0018】次に動作について説明する。まず、このマルチクロック並列処理装置31の立ち上げ時に、命令制御手段37は、記憶手段36に記憶された複数の回路構成情報のうちから初期設定された回路構成情報をデータ

線 104 を介してそれぞれ抽出して、データ線 100 を介して再構成可能集積回路 32~35 のそれぞれに書き込む。また、命令制御手段 37 は、演算されるデータを記憶手段 36 からデータ線 104 を介してそれぞれ抽出して、データ線 100 を介して再構成可能集積回路 32~35 に書き込む。初期設定によって選択された回路構成情報が書き込まれた再構成可能集積回路 32~35 は、それら各再構成可能集積回路 32~35 の内部の論理回路をそれら回路構成情報に応じて接続し、それら回路構成情報に応じた機能を有する回路構成になり、同時に書き込まれたデータを保持することによって、そのデータの演算の準備がなされる。さらに、命令制御手段 37 は、再構成可能集積回路 32~35 のそれぞれに書き込んだ各回路構成情報に応じた最適な動作クロック周波数を記憶手段 36 に記憶されたテーブルからデータ線 104 を介して抽出して、各再構成可能集積回路 32~35 を示す識別子とその最適な動作クロック周波数を示す識別子とを対応させた制御信号を信号線 106 に出力する。

【0019】クロック制御手段 38 は、命令制御手段 37 からの制御信号に応じて、その制御信号の切り換え先を制御する。この場合は、切り換え先を動作クロック発生手段 39 への信号線 107 側にする。動作クロック発生手段 39 は、図 2 に示したように構成されており、基本クロック発生手段 201 から発生された単一のクロック周波数をクロック線 206~209 を介して各クロック変更手段 202~205 が入力し、それら各クロック変更手段 202~205 は、クロック制御手段 38 から信号線 107 を介して入力された制御信号に応じて単一のクロック周波数を分周あるいは通倍して、再構成可能集積回路 32~35 のそれぞれにクロック線 110~113 を介して最適な周波数の動作クロックを供給する。このように、このマルチクロック並列処理装置 31 の立ち上げ時においては、各再構成可能集積回路 32~35 に初期設定された回路構成情報とデータとが書き込まれると共に、それら回路構成情報に応じた最適な周波数の動作クロックが供給され、各再構成可能集積回路 32~35 の回路構成は、最適な周波数の動作クロックに同期してデータを演算することができるので、処理時間および消費電力を低減することができる。

【0020】次に、利用者等の外部から再構成可能集積回路 32~35 のうちのいずれかの再構成可能集積回路の回路構成を変更したい時に、命令制御手段 37 は、記憶手段 36 に記憶された回路構成情報のうちのその外部からの指定に応じた回路構成情報をデータ線 104 を介して抽出して、データ線 100 を介して指定された再構成可能集積回路を書き換える。また、命令制御手段 37 は、演算されるデータを記憶手段 36 からデータ線 104 を介して抽出して、データ線 100 を介して指定された再構成可能集積回路を書き換える。このようにして、

指定された再構成可能集積回路の回路構成、およびデータが書き換えられる。さらに、命令制御手段 37 は、指定された再構成可能集積回路を書き換えた回路構成情報に応じた最適な動作クロック周波数を記憶手段 36 に記憶されたテーブルからデータ線 104 を介して抽出して、指定された再構成可能集積回路を示す識別子とその最適な動作クロック周波数を示す識別子とを対応させた制御信号を信号線 106 に出力する。

【0021】クロック制御手段 38 は、命令制御手段 37 からの制御信号に応じて、切り換え先を動作クロック発生手段 39 への信号線 107 側にする。動作クロック発生手段 39 の各クロック変更手段 202~205 のうちのいずれかのクロック変更手段は、クロック制御手段 38 から信号線 107 を介して入力された制御信号に応じて単一のクロック周波数を分周あるいは通倍して、指定された再構成可能集積回路にクロック線 110~113 を介して最適な周波数の動作クロックを供給する。このように、利用者等の外部から再構成可能集積回路 32~35 のうちのいずれかの再構成可能集積回路の回路構成を変更したい時においても、回路構成の変更指定された再構成可能集積回路が指定された回路構成情報とデータとに書き換えられると共に、その変更指定された回路構成情報に応じた最適な周波数の動作クロックが供給され、再構成可能集積回路の変更後の回路構成は、最適な周波数の動作クロックに同期してデータを演算することができるので、処理時間および消費電力を低減することができる。

【0022】以上のように、この実施の形態 1 によれば、このマルチクロック並列処理装置 31 の立ち上げ時、および利用者等の外部から再構成可能集積回路 32~35 のうちのいずれかの再構成可能集積回路の回路構成を変更したい時において、各再構成可能集積回路 32~35 に書き込み、あるいは書き換えられた回路構成情報に応じた最適な周波数の動作クロックが供給され、各再構成可能集積回路 32~35 の回路構成は、最適な周波数の動作クロックに同期してデータを演算することができるので、処理時間および消費電力を低減することができる。また、複数の再構成可能集積回路 32~35 に対して動作クロックの周波数を動的に調整して供給することができるので、再構成可能集積回路に書き込む回路構成情報およびデータの設計を行なう際に、動作クロックの周波数に制約されことなく設計を行なうことができ、設計を容易にすることができる。尚、この実施の形態 1 では、マルチクロック並列処理装置 31 の立ち上げ時に、全ての再構成可能集積回路 32~35 に回路構成情報およびデータを書き込んだが、初期設定に応じて任意の再構成可能集積回路に回路構成情報およびデータを書き込むようにしても良い。また、データは回路構成に応じた必要がない場合は、書き込む必要はない。さらに、この実施の形態 1 では、再構成可能集積回

路の回路構成の変更時に、1つの再構成可能集積回路に対して行う処理について説明したが、再構成可能集積回路の回路構成の変更は、同時に2つ以上の再構成可能集積回路に対して行っても良い。

【0023】実施の形態2. 図3はこの発明の実施の形態2によるデータ幅と最適な動作クロック周波数とを対応させたテーブルを示す概念図であり、記憶手段36には、このテーブルが記憶されている。また、図1に示したマルチクロック並列処理装置を示す構成図において、命令制御手段37は、利用者等の外部からの指定に応じて再構成可能集積回路32～35のうちのいずれかの回路構成を変更する時において、その指定された再構成可能集積回路に書き換えられるデータのデータ幅を監視し、その書き換えられるデータ幅に対応する最適な動作クロック周波数を記憶手段36に記憶されたテーブルから抽出して制御信号として出力する機能を有するものである。その他の構成は、実施の形態1と同一である。

【0024】次に動作について説明する。この実施の形態2は、書き換えたい再構成可能集積回路に転送されるデータのデータ幅に応じて最適なクロック周波数を供給するものである。図4は32ビット加算器を示す構成図であり、図において、400～431は全加算器、A[0]～A[31]、B[0]～B[31]は各々1ビットの入力、S[0]～S[31]は1ビットの出力、C1は桁上げ入力、C0は桁上げ出力である。各々の全加算器400～431は2つの入力信号と桁上げ入力信号との加算を行い、桁上げが発生するとそれを上位ビットに伝えるものである。図4に示したような32ビット加算器を初期設定において再構成可能集積回路に回路構成し、その後、その書き込まれた32ビット加算器を16ビット加算器に書き換えたい時に、実施の形態1に示したように、16ビット加算器の回路構成情報を記憶手段36から抽出して、その回路構成情報により再構成可能集積回路を書き換える手法を用いても良いが、再構成可能集積回路に書き込まれた32ビット加算器の回路構成をそのまま用い、データのデータ幅を、32ビットのデータ幅から16ビットのデータ幅を有するデータに書き換えることによって、32ビット加算器を16ビット加算器として機能させる手法もある。しかしながら、32ビット加算器を16ビット加算器として機能させる手法では、32ビット加算器に32ビットの入力を行なった時と、16ビットの入力を行なった時とでは、データ幅や入力から出力までの遅延値等の違いから、最適な動作クロックが異なってしまい、16ビット加算器に16ビットの入力を行なった時に比べて処理時間および消費電力が増大してしまう。

【0025】従って、記憶手段36に予め図3に示したようなデータ幅と最適な動作クロック周波数とを対応させたテーブルを記憶させておき、命令制御手段37に

よって、データのデータ幅を監視し、当初32ビットのデータ幅であったものが16ビットに変更された場合に、その16ビットのデータ幅に対応する最適な動作クロック周波数を記憶手段36に記憶されたテーブルから抽出して、指定された再構成可能集積回路を示す識別子とその最適な動作クロック周波数を示す識別子とを対応させた制御信号を信号線106に出力する。以後のクロック制御手段38および動作クロック発生手段39の動作は、実施の形態1と同一である。

【0026】以上のように、この実施の形態2によれば、回路構成の変更の際に、既に書き込まれた回路構成をそのまま利用しデータのみ変更する場合に、その変更後のデータのデータ幅から最適な動作クロック周波数を再構成可能集積回路に供給することができ、その再構成可能集積回路の回路構成は、最適な周波数の動作クロックに同期してデータを演算することができるので、処理時間および消費電力を低減することができる。尚、データが変更されてもデータ幅に変更がない場合は、最適な動作クロック周波数を変更する必要はない。

【0027】実施の形態3. 図1に示したマルチクロック並列処理装置を示す構成図において、命令制御手段37は、回路構成情報の再構成可能集積回路32～35への書き込み時、あるいは書き換え時に、それら再構成可能集積回路32～35の識別子を制御信号として出力する機能を有するものである。また、41はその制御信号に応じて、該当する再構成可能集積回路に書き込み用クロックを供給する書き込み用クロック発生手段である。図5はこの発明の実施の形態3による書き込み用クロック発生手段の詳細構成を示す構成図であり、図において、501は単一のクロック周波数を発生する基本クロック発生手段、502は基本クロック発生手段501から発生されたクロック周波数を、命令制御手段37からクロック制御手段38を介して入力された制御信号に応じて切り換え、該当する再構成可能集積回路に書き込み用クロックを供給する切り換え器である。

【0028】次に動作について説明する。回路構成情報の再構成可能集積回路32～35への書き込み時、あるいは書き換え時に、命令制御手段37は、該当する再構成可能集積回路32～35の識別子を制御信号として信号線106に出力する。クロック制御手段38は、命令制御手段37からの制御信号に応じて、切り換え先を書き込み用クロック発生手段41への信号線108側にする。書き込み用クロック発生手段41は、基本クロック発生手段501から発生されたクロック周波数を、クロック制御手段38から信号線108を介して入力された制御信号に応じて切り換え、該当する再構成可能集積回路にクロック線114～117を介して書き込み用クロックを供給する。その後、命令制御手段37から回路構成情報を該当する再構成可能集積回路に転送され、これにより、他の再構成可能集積回路が動作中であっても、



該当する再構成可能集積回路に回路構成情報の書き込みが可能となる。

【0029】以上のように、この実施の形態3によれば、各再構成可能集積回路32～35に個別に書き込み用クロックを供給することができ、他の再構成可能集積回路が動作中であっても、その動作を妨げることなく該当する再構成可能集積回路に回路構成情報の書き込みができる。

【0030】実施の形態4、図1に示したマルチクロック並列処理装置を示す構成図において、記憶手段36には、複数の再構成可能集積回路間で直接データの交換を行なう場合に、それら再構成可能集積回路間で用いられる最適な周波数のデータ転送用クロックが記憶されている。また、命令制御手段37には、複数の再構成可能集積回路間で直接データの交換を行なう場合に、それら複数の再構成可能集積回路の識別子と共に、記憶手段36に記憶された該当する最適な周波数のデータ転送用クロックを示す識別子とを制御信号として出力する機能を有するものである。101～103はデータ線であり、これらデータ線101～103によって複数の再構成可能集積回路間で直接データの交換を行なうものである。42はその制御信号に応じて、該当する再構成可能集積回路に最適な周波数のデータ転送用クロックを供給するデータ転送用クロック発生手段である。図6はこの発明の実施の形態4によるデータ転送用クロック発生手段の詳細構成を示す構成図であり、図において、601は単一のクロック周波数を発生する基本クロック発生手段、602は基本クロック発生手段601から発生されたクロック周波数を、命令制御手段37からクロック制御手段38を介して入力された制御信号に応じて分周あるいは通倍して、最適な周波数のデータ転送用クロックを生成するクロック変更手段、603はクロック変更手段602によって生成された最適な周波数のデータ転送用クロックを、命令制御手段37からクロック制御手段38を介して入力された制御信号に応じて切り換え、該当する再構成可能集積回路に供給する切り換え器である。

【0031】次に動作について説明する。再構成可能集積回路32～35において隣接する再構成可能集積回路間でデータ線101～103のいずれかを介してデータ転送を行なう場合に、命令制御手段37は、それら複数の再構成可能集積回路の識別子と共に、記憶手段36に記憶された該当する最適な周波数のデータ転送用クロックを示す識別子とを制御信号として信号線106に出力する。ここで、記憶手段36に記憶される最適な周波数のデータ転送用クロックは、各再構成可能集積回路32～35に供給される動作クロックの周波数から容易に設定することができる。例えば、再構成可能集積回路32と再構成可能集積回路33との間でデータ線101間でデータ転送を行う場合に、それら再構成可能集積回路32、33に書き込まれた各回路構成情報の最適な動作

用クロックの周波数から小さい方の動作クロックの周波数を選択して、その小さい方の動作クロックの周波数を最適な周波数のデータ転送用クロックとする等により設定することができる。クロック制御手段38は、命令制御手段37からの制御信号に応じて、切り換え先をデータ転送用クロック発生手段42への信号線109側にする。データ転送用クロック発生手段42では、クロック制御手段38から信号線109を介して入力された制御信号に応じて、クロック変更手段602によって最適な周波数に調整変更されたデータ転送用クロックを生成し、また、切り換え器603によって、その制御信号に応じて切り換え、該当する再構成可能集積回路にクロック線118～121を介して最適な周波数のデータ転送用クロックを供給する。

【0032】以上のように、この実施の形態4によれば、動作クロック発生手段39から各再構成可能集積回路32～35に供給される動作クロックは、各再構成可能集積回路32～35への経路の違いや、各クロック変更手段202～205の揺らぎなどから、周波数が同じであっても同期をとることが困難である。このため、動作クロック発生手段39とは異なる同期のとれたデータ転送用クロックを発生するデータ転送用クロック発生手段42を設け、各再構成可能集積回路32～35に供給することにより、異なる周波数の動作クロック周波数で動作する再構成可能集積回路間でも、同期したデータ転送を行なうことができる。また、各再構成可能集積回路32～35に個別に最適な周波数のデータ転送用クロックを供給することができ、他の再構成可能集積回路が動作クロックによって動作中であっても、その動作を妨げることなく、該当する再構成可能集積回路間での同期したデータ転送ができる。尚、この実施の形態4では、データ転送用クロック発生手段42にクロック変更手段602を1つ設けたものを示したが、クロック変更手段602を複数設け、例えば、再構成可能集積回路32、33間と、再構成可能集積回路34、35間とに、互いに異なる最適な周波数のデータ転送用クロックを供給し、データ転送するようにしても良い。

【0033】

【発明の効果】以上のように、この発明によれば、回路構成情報に対応した最適な動作クロック周波数を記憶した記憶手段と、それら回路構成情報を選択して複数の再構成可能集積回路に書き込むと共に、複数の再構成可能集積回路に対応する最適な動作クロック周波数を制御信号として出力し、外部からの指定に応じて回路構成情報を抽出して指定された再構成可能集積回路を書き換えると共に、その再構成可能集積回路に対応する最適な動作クロック周波数を制御信号として出力する命令制御手段と、その制御信号に応じて、複数の再構成可能集積回路に最適な周波数の動作クロックを供給すると共に、書き換え後の再構成可能集積回路を最適な周波数の

動作クロックに変更する動作クロック発生手段とを備えるように構成したので、マルチクロック並列処理装置の立ち上げ時、および外部から再構成可能集積回路の回路構成を変更したい時において、各再構成可能集積回路に書き込み、あるいは書き換えられた回路構成情報に応じた最適な周波数の動作クロックが供給され、各再構成可能集積回路の回路構成は、最適な周波数の動作クロックに同期してデータを演算することができるので、処理時間および消費電力を低減することができる。また、複数の再構成可能集積回路に対して動作クロックの周波数を動的に調整して供給することができるので、再構成可能集積回路に書き込む回路構成情報の設計を行なう際に、動作クロックに制約されことなく設計を行なうことができ、設計を容易にすることができる効果がある。

【0034】この発明によれば、複数のデータ、およびデータ幅に対応した最適な動作クロック周波数を記憶した記憶手段と、外部からの指定に応じてデータを抽出して指定された再構成可能集積回路に書き込むと共に、そのデータのデータ幅に対応する最適な動作クロック周波数を制御信号として出力する命令制御手段と、その制御信号に応じて、書き込み後の再構成可能集積回路を最適な周波数の動作クロックに変更する動作クロック発生手段とを備えるように構成したので、回路構成の変更の際に、既に書き込まれた回路構成をそのまま利用し、データのみ変更する場合に、その変更後のデータのデータ幅から最適な動作クロック周波数を再構成可能集積回路に供給することができ、その再構成可能集積回路の回路構成は、最適な周波数の動作クロックに同期してデータを演算することができるので、処理時間および消費電力を低減することができる効果がある。

【0035】この発明によれば、回路構成情報を書き込む、または書き換える再構成可能集積回路の識別子を制御信号として出力する命令制御手段と、その制御信号に応じて、該当する再構成可能集積回路に書き込み用クロックを供給する書き込み用クロック発生手段とを備えるように構成したので、各再構成可能集積回路に個別に書き込み用クロックを供給することができ、他の再構成可能集積回路が動作中であっても、その動作を妨げることなく該当する再構成可能集積回路に回路構成情報の書き込みができる効果がある。

10

20

30

40

\*

\*【0036】この発明によれば、複数の再構成可能集積回路間で直接データの交換を行なう複数の再構成可能集積回路の識別子を制御信号として出力する命令制御手段と、その制御信号に応じて、該当する再構成可能集積回路にデータ転送用クロックを供給するデータ転送用クロック発生手段とを備えるように構成したので、動作クロック発生手段とは異なる同期のとれたデータ転送用クロックを発生するデータ転送用クロック発生手段を設け、各再構成可能集積回路に供給することにより、異なる周波数の動作クロック周波数で動作する再構成可能集積回路間でも、同期したデータ転送を行なうことができる。また、各再構成可能集積回路に個別にデータ転送用クロックを供給することができ、他の再構成可能集積回路が動作クロックによって動作中であっても、その動作を妨げることなく、該当する再構成可能集積回路間での同期したデータ転送ができる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるマルチクロック並列処理装置を示す構成図である。

【図2】 動作クロック発生手段の詳細構成を示す構成図である。

【図3】 この発明の実施の形態2によるデータ幅と最適な動作クロック周波数とを対応させたテーブルを示す概念図である。

【図4】 32ビット加算器を示す構成図である。

【図5】 この発明の実施の形態3による書き込み用クロック発生手段の詳細構成を示す構成図である。

【図6】 この発明の実施の形態4によるデータ転送用クロック発生手段の詳細構成を示す構成図である。

【図7】 従来のマルチクロック並列処理装置を示す構成図である。

【図8】 従来のマルチクロック並列処理装置を示す構成図である。

【図9】 従来のマルチクロック並列処理装置を示す構成図である。

【符号の説明】

31 マルチクロック並列処理装置、32～35 再構成可能集積回路、36 記憶手段、37 命令制御手段、39 動作クロック発生手段、41 書き込み用クロック発生手段、42 データ転送用クロック発生手段。

【図3】

| データ幅  | 最適クロック |
|-------|--------|
| 1～16  | 50MHz  |
| 17～32 | 28MHz  |
| ⋮     | ⋮      |

【图 1】



【圖2】

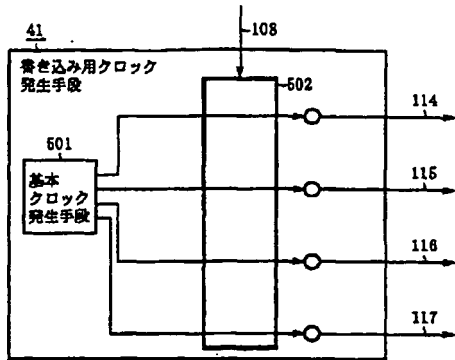


【图4】

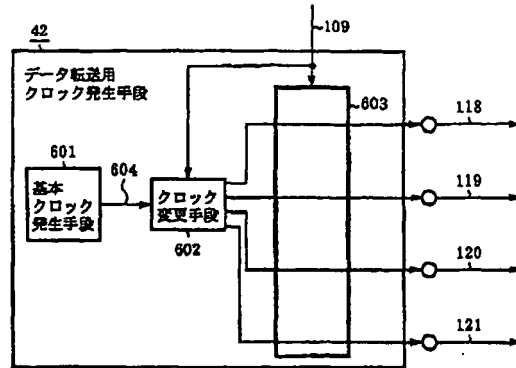


The diagram shows 32 identical parallel processing units arranged vertically. Each unit has two inputs, A and B, and two outputs, S. The inputs are 32-bit buses, and the outputs are 32-bit buses. A common clock signal CN is connected to all units. Each unit contains a 2x2 matrix of blocks (A, B, CO, CI) and a block S. The inputs A and B are connected to the A and B blocks. The outputs of the CO and CI blocks are connected to the S block. The output of the S block is the output S. The units are connected in a chain, with the output of one unit connected to the input of the next unit.

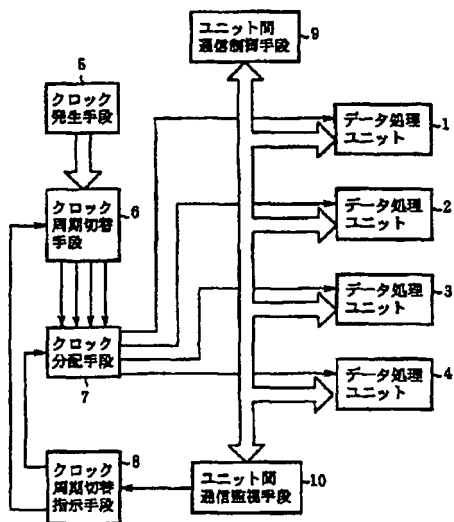
【図5】



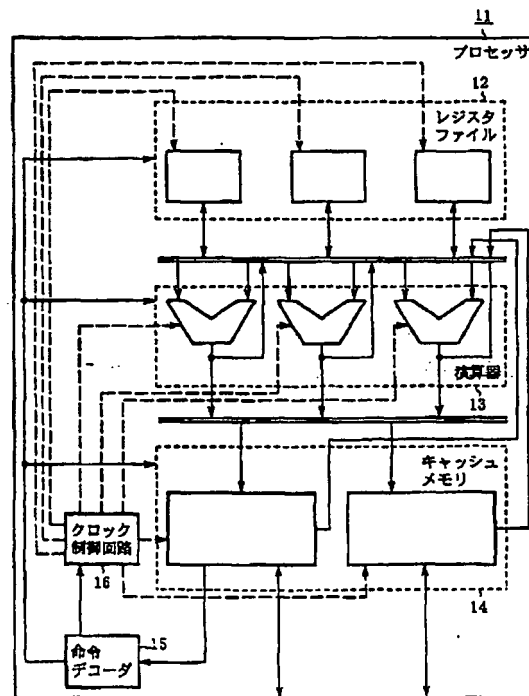
【図6】



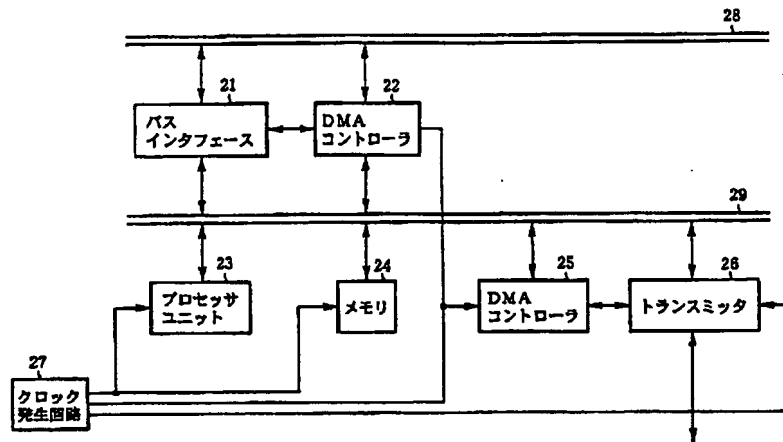
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 佐藤 裕幸  
 東京都千代田区丸の内二丁目2番3号 三  
 菱電機株式会社内  
 (72)発明者 飯田 全広  
 東京都千代田区大手町二丁目6番2号 三  
 菱電機エンジニアリング株式会社内

(72)発明者 森 伯郎  
 東京都千代田区丸の内二丁目2番3号 三  
 菱電機株式会社内  
 Fターム(参考) 5B045 CC04 CC05  
 5B079 BA20 BB02 BC03 CC17 DD02  
 DD13 DD20